

## 明 細 書

## ヘテロバイポーラトランジスタおよびその製造方法

## 〔技術分野〕

本発明は、エピタキシャル成長によりベース層を形成したヘテロバイ  
5 ポーラトランジスタおよびその製造方法に関する。

## 〔技術背景〕

バイポーラトランジスタの開発において、エピタキシャル成長を用い  
てベース層に、バンドギャップが異なった材料を導入することにより、  
デバイス高速化の実現を図ったヘテロバイポーラトランジスタ（H B  
10 T）の開発が精力的に行われている。

S i G e（シリコン・ゲルマニウム）材料やS i G e C（シリコン・  
ゲルマニウム・カーボン）材料等の IV 族半導体材料をベース層に用い  
るH B Tは、S i 基板上にデバイスを形成でき、C M O S回路との集積  
による高機能化、大面積基板利用による低コスト化等の利点を発揮でき、  
15 高速デバイスとして有望視されている。

従来のヘテロ接合にS i G eを用いたH B T（以下、S i G e H B T  
という。）の代表的な構成例を、図 2 3 を参照して説明する。なおここ  
では、S i G e 材料をベース層に用いたH B Tが例示されているが、S  
i G e C 材料をベース層に用いたH B Tであっても同一の構成を有す  
20 る。

S i G e H B Tは大別して、ダブルポリシリコン構造とシングルポリ  
シリコン構造とに区分され、図 2 3（a）は、ダブルポリシリコン構造  
のS i G e H B Tの代表的な模式断面図であり、図 2 3（b）は、シン  
グルポリシリコン構造のそのの代表的な模式断面図である。

25 最初に、図 2 3（a）を参照してダブルポリシリコン構造のS i G e  
H B Tを説明する。

素子分離領域 1 0 1 およびコレクタ領域 1 0 2 を配置したS i 基板  
上に、外部ベース領域に相当するポリシリコン層 1 0 3 が予め形成され

ている。そして、ポリシリコン層 103 に対してエッチングによりパターンニング処理が行われ、ポリシリコン層 103 を除去した HBT 形成領域に真性ベース領域に相当するエピタキシャル SiGe 層 104 が選択的にエピタキシャル成長する。

- 5      このような構成においては、ポリシリコン層 103 とエピタキシャル SiGe 層 104 とを同時に成膜することも連続的に成膜することも不可能なため、エピタキシャル SiGe 層 104 とポリシリコン層 103 との界面 105 における自然酸化膜の形成は避け難く、かつその界面 105 にボイドが発生する可能性もある。このため、ダブルポリシリコン構造の SiGe HBT は、ポリシリコン層 103 とエピタキシャル SiGe 層 104 との間の接触抵抗を増大させ、かつその接触抵抗値の製品間バラツキも顕著化させるという不具合を内在している。更に、製造プロセスが複雑であり、選択成長におけるプロセスウィンドウが狭い等の問題もあり、このような観点からダブルポリシリコン構造の SiGe HBT は、量産に不向きなデバイスと言える。

次に、図 23 (b) を参照してシングルポリシリコン構造の SiGe HBT を説明する。

- 非選択成長方法を用いて、コレクタ領域 102 の真上の Si 基板上には、真性ベース領域に相当するエピタキシャル SiGe 層 106 がエピ  
20   タキシャル成長すると同時に、素子分離領域 101 の上には、外部ベース領域に相当するポリ SiGe 層 107 が成長する。なおその後、ポリ SiGe 層 107 の表面にはシリサイド層 108 が形成される。

- こうした構成によれば、ポリ SiGe 層 107 とエピタキシャル SiGe 層 106 とを同時に成膜可能なため、エピタキシャル SiGe 層 107 とポリ SiGe 層 107 の界面では自然酸化膜やボイドは形成され  
25   ることなく、両者間の接触抵抗の増加を根本的に解消可能である。また、ダブルポリシリコン構造に比べて、シングルポリシリコン構造の SiGe HBT の製造工程は簡素である。更には、選択成長に比べて非選

択成長のプロセスウィンドウが広い。

このようなことから総合的に判断して、シングルポリシリコン構造の SiGe HBT は量産に向いていると言える。

なお、SiGe HBT の技術を開示した公知資料として、国際公開 W  
5 O 0 1 / 8 8 9 9 4 号パンフレットがある。

〔発明の開示〕

ところで、従来のシングルポリシリコン構造の SiGe HBT では、  
真性ベース領域に相当するエピタキシャル SiGe 層 1 0 6 と外部ベ  
ース領域に相当するポリ SiGe 層 1 0 7 とが同時に同一の製造プロ  
10 セスにより形成されるため、外部ベース領域中に存在する Ge 組成プロ  
ファイルは、必然的に真性ベース領域中に存在する Ge 組成プロファイル  
に一致することになる。

しかしながら、真性ベース領域において最適化された Ge 組成プロフ  
ァイルが、必ずしも外部ベース領域の Ge 組成プロファイルとして適し  
15 ているとは言えず、以下に述べる不具合が生じると本願発明者は考えて  
いる。

図 2 4 には、従来の SiGe HBT のベース層の積層構造が図示され、  
図 2 5 には、ベース層の各層において、そこに含有される Ge 組成プロ  
ファイルの変化が示されている。

20 ここで、Si 基板の上から順番に、Si バッファ層 1 0 9 と、ノンド  
ープ SiGe スペース層 1 1 0 と、B ドープ SiGe 傾斜ベース層 1 1  
1 と、Si キャップ層 1 1 2 とが積層され、これらの層 1 0 9、1 1 0、  
1 1 1、1 1 2 をまとめて「真性ベース領域 1 0 6」といい、これらの  
層 1 0 9、1 1 0、1 1 1、1 1 2 が、図 2 3 (b) に示された単結晶  
25 のエピタキシャル SiGe 層 1 0 6 に相当する。

同様に、Si 基板の上から順番に、外部ベース形成層としての第 1 の  
層 1 1 3 (Si バッファ層 1 0 9 と同時に形成される層) と、ノンド  
ープ SiGe スペース層 1 1 0 と同時に形成される第 2 の層 1 1 4、B ド

ープSiGe傾斜ベース層111と同時に形成される第3の層115、  
Siキャップ層112と同時に形成される第4の層116が積層され、  
これらの層113、114、115、116をまとめて「外部ベース領  
域107」といい、これらの層113、114、115、116が、図  
5 23 (b) に示された多結晶のポリSiGe層107に相当する。

こうした真性ベース領域106に対応する積層構造のGe組成プロ  
ファイルは、デバイス特性の向上を図るための適正化が行われ、例えば  
SiGe傾斜ベース層111においてはGe含有率をエミッタ側から  
コレクタ側に向けて徐々に増加させた傾斜組成ベース構造が採用され、  
10 これによってベース層内部に電界が形成され、キャリア（電子）をこの  
電界により加速して電子のベース層走行時間の短縮が図られ、ひいては  
良好な高周波特性（デバイスの高速化）が得られる。

加えて近年、SiGeHBTの更なる高速化のため、真性ベース領域  
106の厚みを薄膜化（例えば、Siキャップ層112の厚みの薄膜  
15 化）することにより電子のベース層走行時間を短縮することが検討され  
つつある。

ここで、図26において、真性ベース領域106のSiキャップ層1  
12の厚みを横軸にとり、ベース抵抗および最大利得周波数 $f_{max}$ を  
縦軸にとって、Siキャップ層112の厚みの変化に対するベース抵抗  
20 および最大利得周波数 $f_{max}$ の測定データの変化の様子が図示され  
ている。

なお、縦軸の数値（ベース抵抗および最大利得周波数 $f_{max}$ の数  
値）は、Siキャップ112の厚みが30nmにおけるそれぞれの数値  
により規格化し整理された相対値である。

25 図26によると、デバイスの高速化を目論んでSiキャップ層112  
の厚みを薄膜化したにもかかわらず、その厚みが10nm以下において  
ベース抵抗が急激に増大し、これにより最大利得周波数 $f_{max}$ が大幅  
に減少するという意外な結果が得られた。

このようなベース抵抗の増大の要因として、真性ベース領域 106 の Si キャップ層 112 の薄膜化と共に外部ベース領域 107 のシリコンからなる第 4 の層 116 が薄膜化されたことにより、外部ベース領域の第 4 の層 116 の表面をシリサイド化するシリサイド形成工程の際に、その下層の第 3 の層 (SiGe 層) 115 に含有される Ge 原子がシリサイド層形成を阻害してシリサイド層 108 を高抵抗化させている可能性がある。

すなわち、外部ベース領域 107 の第 4 の層 116 が薄膜化するに従ってこの第 4 の層 116 の表面近傍の Ge 濃度が増加し、シリサイド形成が阻害され、これによりシリサイド層 108 を高抵抗化させたものと推察できる。

なお、こうした現象は、特にコバルト (Co) を用いたシリサイド形成において顕在化するという報告が、IEEE Electron Device Letters vol.23 No.8 (2002) p464-466 においてなされている。

また、Rim 等は、SiGe 材料を用いた MOSFET でも同様に、Ge 原子に基づくシリサイド層高抵抗化が発生して、この対応策を 2002 Symposium on VLSI Technology Digest 10-4 において述べている。

Rim 等の報告によれば、シリサイド形成直前の SiGe 層の上に「raised source/drain (RDS)」と称される Si 層を選択成長することによりシリサイド層を低抵抗化できるという知見が示された。

また、Jagannathan 等は、シングルポリシリコン構造の SiGe HBT の製造方法において、真性ベース領域に相当するエピタキシャル SiGe 層と外部ベース領域に相当するポリ SiGe 層とを同時形成させた後、真性ベース領域をマスキングして、外部ベース領域に相当するポリ SiGe 層に「raised extrinsic base」と称される層を選択成長により形成することを、IEEE Electron Device Letters Vol.23 (2002) P.258-260 において述べている。この Jagannathan 等の報告では、シリサイド層の抵抗に言及していないものの、このような「raised extrinsic

base」の効果によりGe原子によるシリサイド層のシリサイド化阻害は改善されているものと推認できる。

しかし、これらの対策方法はいずれも、別途の選択成長という新たな工程を追加する必要がある、SiGeHBTの製造工程の複雑化や製造コストの増大を招いてしまう。

本発明は、トランジスタ動作の更なる高速化を図るため、トランジスタ製造工程の複雑化を招くことなく、Ge原子によってもたらされるシリサイド抵抗の高抵抗化を確実に防止しつつ外部ベース領域にシリサイド層を均一に形成できるシングルポリシリコン構造のSiGeHBTおよびその製造方法を提供することを目的としている。

そして、この目的を達成するために、本発明に係るバイポーラトランジスタは、基板と、前記基板の上に形成され、シリコンからなるシリコンバッファ層と、前記シリコンバッファ層の上に形成され、シリコンと少なくともゲルマニウムを含み前記シリコンに対する前記ゲルマニウムの成分の組成比が厚み方向に変化する組成比傾斜ベース層と、を有する真性ベース領域と、前記基板の上に前記シリコンバッファ層と並んで形成され、シリコンからなる外部ベース形成層を有する外部ベース領域と、を備え、前記外部ベース形成層および前記シリコンバッファ層の厚みが共に、40nm以上でありかつ前記外部ベース形成層の表面がシリサイド化されるというものである。

また、本発明に係るバイポーラトランジスタは、基板と、前記基板の上に形成され、シリコンからなるシリコンバッファ層と、前記シリコンバッファ層の上に形成され、シリコンと少なくともゲルマニウムを含み前記シリコンに対する前記ゲルマニウムの成分の組成比が厚み方向に変化する組成比傾斜ベース層と、を有する真性ベース領域と、前記基板の上に前記シリコンバッファ層と並んで形成され、シリコンからなる外部ベース形成層を有する外部ベース領域と、を備え、前記外部ベース形成層の厚みが、前記シリコンバッファ層の厚みにほぼ等しくかつ前記外部

ベース形成層の表面がシリサイド化されるというものである。

このような構成によれば、前記外部ベース形成層を所定の厚膜に形成したうえで、前記外部ベース形成層にシリサイド層を形成可能なため、シリサイド層を外部ベース形成層に均一に形成できる。また、前記外部  
5 ベース形成層の下層にゲルマニウムを含んだ層が存在しないため、シリサイド層の前記外部ベース形成層への形成においてGe原子によってシリサイド化が阻害されることなく、シリサイド抵抗の高抵抗化を確実に防止できる。

なおここで、前記組成比傾斜ベース層は、シリコンとゲルマニウムからなるシリコン・ゲルマニウム傾斜ベース層であっても良い。  
10

また、前記シリコンバッファ層は単結晶であり、前記第外部ベース形成層は多結晶であっても良い。

また、本発明に係るバイポーラトランジスタの製造方法は、基板にマスキング層を形成することにより活性領域を含む領域を囲み、前記活性  
15 領域を含む領域のうちの活性領域においては、シリコン層とシリコン・ゲルマニウム層とを有するようにエピタキシャルベース層を形成し、前記活性領域を含む領域のうちの素子分離領域においては、前記エピタキシャルベース層と非選択的に、シリコン層とシリコン・ゲルマニウム層とを有するようにポリベース層を形成し、その後、前記ポリベース層の  
20 うちの前記シリコン・ゲルマニウム層をエッチングにより除去することによって外部ベース形成層としての前記シリコン層の表面を露出させ、前記露出部にシリサイド層を形成するものである。

こうした製造方法によれば、シリコンからなる前記外部ベース形成層に積層された前記シリコン・ゲルマニウム層をエッチングにより除去した  
25 たうえで、前記外部ベース形成層にシリサイド層を形成するという工程を採用したため、シリサイド層の前記外部ベース形成層への形成においてGe原子によってシリサイド化が阻害されることなく、シリサイド抵抗の高抵抗化を確実に防止できる。

前記エッチングは望ましくは、硝酸と水とフッ酸の混合液からなるエッチャントを用いたウェットエッチングである。

また、本発明に係るバイポーラトランジスタは、基板と、前記基板の上に形成され、シリコンからなるシリコンパッファ層と、前記シリコンパッファ層の上に形成され、シリコンと少なくともゲルマニウムを含み前記シリコンに対する前記ゲルマニウムの成分の組成比が厚み方向に変化する組成比傾斜ベース層と、を有する真性ベース領域と、前記基板の上に前記シリコンパッファ層と並んで形成され、シリコンからなる第1の外部ベース形成層と、前記第1の外部ベース形成層の上に前記組成比傾斜ベース層と共に形成され、ゲルマニウムを含有する第2の外部ベース形成層と、前記第2の外部ベース形成層の上に形成されるシリコンからなる第3の外部ベース形成層と、を有する外部ベース領域と、を備え、前記第2の外部ベース形成層のゲルマニウムの含有量が、前記組成比傾斜ベース層のゲルマニウムの含有量よりも少なくかつ前記第3の外部ベース形成層の表面がシリサイド化されるというものである。

このような構成によれば、前記第2の外部ベース形成層のゲルマニウム含有層を前記シリコン・ゲルマニウム傾斜ベース層のゲルマニウム含有量よりも少なくできたため、第2の外部ベース形成層の上のシリコン層にシリサイド層を形成する際に、Ge原子によってシリサイド化が阻害されることなく、シリサイド抵抗の高抵抗化を確実に防止できる。

なお、前記組成比傾斜ベース層は単結晶であり、前記第2の外部ベース形成層は多結晶であっても良い。

また、本発明に係るバイポーラトランジスタの製造方法は、基板にマスクング層を形成することにより活性領域を含む領域を囲み、前記活性領域を含む領域のうちの活性領域においては、第1の気相成長法により第1のシリコン層を形成すると共に、前記活性領域を含む領域のうちの素子分離領域においては、第2のシリコン層を形成し、続いて、塩素を含む反応性ガスを添加した第2の気相成長法により、前記第1のシリコ



ン層の上に単結晶の第 1 のシリコン・ゲルマニウム層を形成すると共に、  
前記第 2 のシリコン層の上に多結晶の第 2 のシリコン・ゲルマニウム層  
を形成し、前記第 2 のシリコン・ゲルマニウム層の上に形成した外部ベ  
ース形成層としての第 3 のシリコン層の表面にシリサイド層を形成する  
5 というものである。なおここで、前記第 2 のシリコン・ゲルマニウム層  
のゲルマニウム含有量が、前記第 1 のシリコン・ゲルマニウム層のゲル  
マニウムの含有量よりも少なくなるように両者の厚みが調整される。

このような製法方法によれば、シリコンとゲルマニウムからなる多結  
晶の前記第 2 のシリコン・ゲルマニウム層を、塩素を含む反応性ガスを  
10 添加しつつ気相成長により形成したため、前記外部ベース形成層の成長  
は、塩素を含む反応性ガスのエッチング作用を受けることにより抑制さ  
れる。このため、前記第 2 のシリコン・ゲルマニウム層のゲルマニウム  
含有層を前記第 1 のシリコン・ゲルマニウム層のゲルマニウム含有量よ  
りも少なくできて、前記第 2 のシリコン・ゲルマニウム層の上の前記第  
15 3 のシリコン層にシリサイド層を形成する際に、Ge 原子によってシリ  
サイド化が阻害されることなく、シリサイド抵抗の高抵抗化を確実に防  
止できる。

本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、  
以下の好適な実施態様の詳細な説明から明らかにされる。

## 20 【図面の簡単な説明】

図 1 は、本発明の第 1 の実施の形態に係る SiGe HBT の断面図で  
ある。

図 2 は、本発明の第 1 の実施の形態に係る SiGe HBT のベース層  
の構成を説明する断面図である。

25 図 3 は、第 1 の実施の形態に係る SiGe HBT の製造工程の一段階  
を示す断面図である。

図 4 は、図 3 に続く製造工程の段階における SiGe HBT の断面図  
である。

図 5 は、図 4 に続く製造工程の段階における S i G e H B T の断面図である。

図 6 は、図 5 に続く製造工程の段階における S i G e H B T の断面図である。

5 図 7 は、図 6 に続く製造工程の段階における S i G e H B T の断面図である。

図 8 は、図 7 に続く製造工程の段階における S i G e H B T の断面図である。

10 図 9 は、図 8 に続く製造工程の段階における S i G e H B T の断面図である。

図 1 0 は、図 9 に続く製造工程の段階における S i G e H B T の断面図である。

図 1 1 は、図 1 0 に続く製造工程の段階における S i G e H B T の断面図である。

15 図 1 2 は、図 1 1 に続く製造工程の段階における S i G e H B T の断面図である。

図 1 3 は、図 1 2 に続く製造工程の段階における S i G e H B T の断面図である。

20 図 1 4 は、図 1 3 に続く製造工程の段階における S i G e H B T の断面図である。

図 1 5 は、本発明の第 2 の実施の形態に係る S i G e H B T の断面図である。

図 1 6 は、本発明の第 2 の実施の形態に係る S i G e H B T のベース層の構成を説明する断面図である。

25 図 1 7 は、第 2 の実施の形態に係る S i G e H B T の製造工程の一段階を示す断面図である。

図 1 8 は、図 1 7 に続く製造工程の段階における S i G e H B T の断面図である。

図 19 は、図 18 に続く製造工程の段階における S i G e H B T の断面図である。

図 20 は、図 19 に続く製造工程の段階における S i G e H B T の断面図である。

5 図 21 は、図 20 に続く製造工程の段階における S i G e H B T の断面図である。

図 22 は、図 21 に続く製造工程の段階における S i G e H B T の断面図である。

図 23 は、従来の S i G e H B T の断面図である。

10 図 24 は、従来の S i G e H B T のベース層の構成を説明する断面図である。

図 25 は、S i G e H B T のベース層における G e 原子の組成プロファイルを説明する図である。

15 図 26 は、従来の S i G e H B T において、ベース抵抗と  $f_{max}$  について S i キャップ膜厚依存性の測定データを示す図である。

図 27 は、外部ベース形成層（20 nm、40 nm および 60 nm）の表面を C o シリサイド化した後、その S E M 断面写真の様子を模式的に描いた図である。

20 図 28 は、横軸に外部ベース形成層の厚みを取り、縦軸に C o シリサイド層のシート抵抗をとって、両者の相関を示した図である。

〔発明を実施するための最良の形態〕

以下、本発明の実施の形態について、図面を参照しつつ説明する。

（第 1 の実施の形態）

25 図 1 は、本発明の第 1 の実施の形態に係る S i G e H B T の構成を示す断面図である。

図 1 に示すように、P 型の S i 基板 1 には、その表面に対して砒素イオンを注入して深さ約 1  $\mu$  m の N 型のサブコレクタ領域 2 が設けられている。また、S i 基板 1 およびサブコレクタ領域 2 を覆うようにして、

S i 基板 1 およびサブコレクタ領域 2 の上に N 型不純物をドーピングしながら S i 単結晶層 3 が約  $0.5 \mu\text{m}$  の厚みにエピタキシャル成長している。

また、素子分離領域として、シリコン酸化層の埋め込まれたシャロートレンチ 4 が、S i 単結晶層 3 の表面から S i 基板 1 に至るように設けられると共に、このシャロートレンチ 4 よりもさらに下方に延びて、ノンドープポリシリコン層 6 およびこれを取り囲むシリコン酸化層 7 により構成されるディープトレンチ 5 が、S i 基板 1 の内部に設けられている。

そして、ディープトレンチ 5 によって H B T 形成領域が取り囲まれ、このディープトレンチ 5 により囲まれる S i 基板 1 の内部領域には、上記のサブコレクタ領域 2 が形成されている。

また、シャロートレンチ 4 によって取り囲まれた領域が、活性領域としてのコレクタ領域に相当し、かつシャロートレンチ 4 により分離された S i 単結晶層 3 の表面に対して燐イオンを注入して  $\text{N}^+$  型のコレクタ引き出し層 8 が形成されている。

なお、各トレンチ 4、5 の深さは、それぞれ約  $0.3 \mu\text{m}$ 、約  $2 \mu\text{m}$  である。

S i 単結晶層 3 の直上には真性ベース領域 1 1 がエピタキシャル成長により形成され、シリコン酸化層からなるシャロートレンチ 4 の直上には外部ベース領域 1 2 が非選択成長により形成されている。

なお、これらの真性ベース領域 1 1 および外部ベース領域 1 2 の構成および機能は、図 2 を参照して後ほど詳しく説明する。

この真性ベース領域 1 1 の上に、真性ベース領域 1 1 の最上層の S i キャップ層 1 1 2 (図 2 参照) の表面の一部が露出するように開口部 1 2 1 を設けたシリコン酸化層 1 3 が形成されている。そして、この開口部 1 2 1 を通して S i キャップ層 1 1 2 の表面に接触しつつ約  $300 \text{ nm}$  の厚みでかつ約  $1 \sim 5 \times 10^{20} \text{ cm}^{-3}$  の N 型不純物 (燐) の濃度に調

整されたN<sup>+</sup>型のポリシリコンからなるエミッタ電極16が形成されている。更には、このエミッタ電極16の側面にシリコン酸化層からなるサイドウォール18が配置され、これによりエミッタ電極16とベース層とが絶縁される。

- 5      また、Si基板1の全面に層間絶縁層20が堆積され、この層間絶縁層20には、その表面から外部ベース領域12およびエミッタ電極16並びにコレクタ引き出し層8に到達するように延びるコンタクトホールが形成されている。そして、このコンタクトホールに埋め込まれたタングステン(W)プラグ21の一端は、層間絶縁層20の上に配置された
- 10    金属配線22に電氣的に接続する一方、その他端は、外部ベース領域12およびエミッタ電極16並びにコレクタ引き出し層8に電氣的に接続している。

なお、Wプラグ21に接触する外部ベース領域12の表面およびエミッタ電極16の表面並びにコレクタ引き出し層8の表面には、Co(コ

15    パルト)シリサイド層19が形成され、これによりタングステンプラグ21と、これらの層8、12やエミッタ電極16との接触抵抗の低減が図られている。

このようにして、Si基板1と、サブコレクタ領域2と、Si単結晶層3と、シャロートレンチ4と、ディープトレンチ5と、コレクタ引き

20    出し層8と、真性ベース領域11と、外部ベース領域12と、シリコン酸化層13と、エミッタ電極16と、サイドウォール18と、層間絶縁層20と、Wプラグ21と、金属配線22と、によりSiGeHBT120が構成されている。

ここで、図2を参照して真性ベース領域11の構成と外部ベース領域

25    12の構成を詳しく説明する。

図2は、SiGeHBTのベース層(真性ベース領域11と外部ベース領域12)の構成を説明する断面図であるが、ベース層以外の構成は、点線を付して略記している。なおここでは、SiGe材料を例に説明し

ているが、S i G e C材料を用いることも可能である。

図2に示すように、真性ベース領域11は、S i基板1の上に基板側から順番に気相成長法（エピタキシャル成長法）により、シリコンからなる単結晶のS iバッファ層109と、シリコンとゲルマニウムからなる単結晶のノンドープS i G eスペーサ層110と、シリコンとゲルマニウムからなる単結晶のBドープS i G e傾斜ベース層111と、シリコンからなる単結晶のS iキャップ層112とを積層して構成されている。

また、外部ベース領域12は、非選択成長により、S i基板1の上に単結晶のS iバッファ層109と並んでこれとほぼ同じ厚みに形成されるシリコンからなる多結晶の外部ベース形成層113と、この表面をシリサイド化したC oシリサイド層19と、によって構成されている。

ここで、真性ベース領域11の最下層のS iバッファ層109はデバイスとしての機能を果たすものではなく、単にその上層のノンドープS i G eスペーサ層110の結晶成長の安定化ためのものであり、その厚みは、従来から10nm～20nm程度で十分に機能を果たすと考えられていた。しかし、外部ベース形成層113の表面をシリサイド化するために十分な厚みに外部ベース形成層113の膜厚を調整する必要があり、これにより、外部ベース形成層113と同時に成長する単結晶のS iバッファ層109も、必然的に同様の厚みに調整されることになる。

すなわち、外部ベース形成層113の厚みは、少なくとも40nm以上に調整され、これによって始めて、外部ベース形成層113の表面に均一に所定厚みのC oシリサイド層19を安定に形成することが可能になる。より詳しくは、外部ベース形成層113の厚みtをパラメータとして（ $t = 20\text{ nm}$ 、 $40\text{ nm}$ 、 $60\text{ nm}$ ）、外部ベース形成層113に形成したC oシリサイド層19の成膜状態を実験したところ、外部ベース形成層113の厚みが薄いと、均一なC oシリサイド層19が形成されず、その厚さが少なくとも40nm以上、より望ましくは60nm

以上において、均一なC oシリサイド層19が得られることが判明した。

よって、外部ベース形成層113の厚みを、40nm以上、望ましくは60nm以上に設定する必要がある、これに伴ってS iバッファ層109の厚みも、40nm以上、望ましくは60nm以上に設定する必要がある。

なおここで、外部ベース形成層に形成したC oシリサイド層の成膜状態の実験例として、50nmの厚みのCVD酸化膜を形成したS i基板上に、外部ベース形成層に相当するS iバッファ層（以下便宜上、外部ベース形成層という。）を、20nm、40nmおよび60nmの厚みに成長させたものをそれぞれ準備して、この層の表面をC oシリサイド化させた。

図27は、外部ベース形成層（20nm、40nmおよび60nm）の表面をC oシリサイド化した後、そのSEM断面写真の様子を模式的に描いた図である。また、図28は、横軸に外部ベース形成層の厚み

15 をとり、縦軸にC oシリサイド層のシート抵抗をとって、両者の相関を示した図である。

図27によれば、20nmの厚みの外部ベース形成層では、その表面をC oシリサイド化した後のC oシリサイド層は、アイランド状の不均一なもの（下層のCVD酸化膜の一部が露出）になっている。このため、

20 図28に示すように、この条件（外部ベース形成層の厚み：20nm）におけるC oシリサイド層のシート抵抗は測定不能（over range）な状況にある。

一方、図27に示すように、40nmの厚みの外部ベース形成層においては、その表面をC oシリサイド化した後のC oシリサイド層によって下層のCVD酸化膜を全面被覆できていることが分かり、更には、

25 60nmの厚みの外部ベース形成層においては、その表面をC oシリサイド化した後のC oシリサイド層の平坦性を向上させていることが分かる。

併せて、図28に示すように、外部ベース形成層の厚みが増すにつれて、

C o シリサイド層のシート抵抗が減少し、その膜質を改善できていることが分かる。

以上に説明した図 2 7 および図 2 8 から理解されたとおり、外部ベース形成層の厚みを、4 0 n m 以上、望ましくは 6 0 n m 以上に設定する  
5 必要性を裏付ける実験結果が得られたと言える。

もっとも、S i バッファ層 1 0 9 の厚みが 1 2 0 n m を超えると、コレクタ抵抗が増加し好ましくない。このため、外部ベース形成層 1 1 3 および S i バッファ層 1 0 9 の望ましい厚みの範囲は、4 0 n m 以上、1 2 0 n m 以下、より望ましくは 6 0 n m 以上、1 2 0 n m 以下である。

10 また、G e 含有率 3 0 % であって厚み 2 0 n m のノンドープ S i G e スペース層 1 1 0 は、S i バッファ層 1 0 9 の上に積層して設けられ、これにより、ボロン（上層の B ドープ S i G e 傾斜ベース層 1 1 1 に含有）の S i バッファ層 1 0 9 への拡散によって発生する S i バッファ層 1 0 9 におけるポテンシャル障壁の形成が抑制されている。

15 また、ノンドープ S i G e スペース層 1 1 0 の上には、シリコンに対するゲルマニウムの成分の組成比が厚み方向に変化する B ドープ S i G e 傾斜ベース層 1 1 1（組成比傾斜ベース層）、より詳しくは G e 含有率が 3 0 % から減少しその上端において G e 含有率が 0 % になっている B ドープ S i G e 傾斜ベース層 1 1 1 が設けられ、これによってベース  
20 層にバンドギャップの傾きを形成して電子を加速できる。この B ドープ S i G e 傾斜ベース層 1 1 1 の厚みは 1 2 n m で、B ドープ傾斜ベース層 1 1 1 の内部には、i n - s i t e ドーピングにより  $3 \times 10^{19} \text{ cm}^{-3}$  の濃度になるようにボロン（P 型不純物）が添加されている。

更に、B ドープ傾斜ベース層 1 1 1 の上には、S i キャップ層 1 1 2  
25 が設けられ、これによりエミッタ電極 1 6 に含有する燐（N 型不純物）の B ドープ傾斜ベース層 1 1 1 への拡散を抑制してトランジスタの特性の安定化が図られている。

なお、外部ベース領域 1 2 の C o シリサイド層 1 9 が外部ベース形成



層 1 1 3 に形成され、これにより S i キャップ層 1 1 2 の厚みの多寡にシリサイド抵抗値が影響されることが無くなり、S i キャップ層 1 1 2 を薄膜化（例えば 5 nm ～ 1 0 nm 程度）させて H B T 動作の更なる高速化が図り得る。

- 5      以上に説明した S i G e H B T によれば、外部ベース形成層 1 1 3 を所定の厚膜（例えば、4 0 nm 以上）に形成したうえで、外部ベース形成層 1 1 3 に C o シリサイド層 1 9 を形成可能なため、C o シリサイド層 1 9 を外部ベース形成層 1 1 3 に均一に形成できる。また、外部ベース形成層 1 1 3 の下層にゲルマニウムを含んだ層が存在しないため、C o シリサイド層 1 9 の外部ベース形成層 1 1 3 への形成において G e 原子によってシリサイド化が阻害されることなく、シリサイド抵抗の高抵抗化を確実に防止できる。

- 15      また、S i キャップ層 1 1 2 の厚みの多寡に C o シリサイド層 1 9 の抵抗が影響されなくなり、これにより S i キャップ層 1 1 2 を薄くして真性ベース領域 1 1 のトータル厚みを薄膜化して電子のベース走行時間の短縮を容易に図り得る。

次に、このように構成された S i G e H B T 1 2 0 の製造方法を、図面を参照しつつ詳しく説明する。

- 20      図 3 ～ 図 1 4 は、第 1 の実施の形態に係る S i G e H B T の製造工程を説明する断面図である。なお、図 1 は、S i G e H B T の製造工程において完成した S i G e H B T の断面を示す図である。

- 25      最初に、図 3 に示す工程において、P 型の S i 基板 1 の上部の表面にフォトリソグラフィーを用いて N 型のサブコレクタ 2 を形成する領域を開口したレジストをマスクに、砒素イオンを注入して、H B T 形成領域に深さ約 1  $\mu$  m の N 型のサブコレクタ 2 が不純物濃度  $1 \times 10^{20} \text{ cm}^{-3}$  となるように形成される。

続いて、S i 基板 1 の上部に N 型不純物をドーピングしながら約 0 . 5  $\mu$  m の厚みに S i 単結晶層 3 が不純物濃度  $1 \times 10^{17} \text{ cm}^{-3}$  となる

ようにエピタキシャル成長する。

次に、図 4 に示す工程において、素子分離として、シリコン酸化膜が埋め込まれたシャロートレンチ 4 と、ノンドープポリシリコン膜 6 およびこれを取り囲むシリコン酸化膜 7 により構成されるディープトレンチ 5 とが形成され、これにより活性領域が区画されている。なお、各トレンチ 4、5 の深さは、それぞれ約  $0.3 \mu\text{m}$ 、約  $2 \mu\text{m}$  である。

次に、図 5 に示す工程において、コレクタ引出し層形成領域を開口したレジストをマスクに、リンイオンを注入し、N+型のコレクタ引出し層 8 を不純物濃度  $5 \times 10^{19} \text{cm}^{-3}$  となるように形成する。

10 次に、図 6 に示す工程において、約  $50 \text{nm}$  のシリコン酸化膜 9 が減圧 CVD 法により堆積され、続いて約  $100 \text{nm}$  のポリシリコン膜 10 が減圧 CVD 法により堆積される。

次に、図 7 に示す工程において、フォトリソグラフィーを用いて HT 形成領域を開口したコレクタ開口 122 を形成するように、レジスト 15 をマスクにして、ポリシリコン膜 10 をドライエッチング法によりその下層のシリコン酸化膜 9 の表面が露出するまで除去した後、コレクタにリンプロファイルを形成するためにリンイオンを注入して、Si 単結晶層 3 の内部に所望のリンプロファイルが形成される。

続いて、露出したシリコン酸化膜 9 の領域に対して同様のコレクタ開口 122 を形成するように、フッ酸等のエッチャントを用いてウェット 20 エッチング法によりシリコン酸化膜 9 を N 型の Si 単結晶層 3 の表面が露出するまで除去する。こうして、Si 基板 1 の上に、コレクタ開口 122 を有するマスクング層としてのシリコン酸化膜 9 によって囲まれた活性領域を含む領域が形成される

25 次に、図 8 に示す工程において、化学的気相成長法により約  $100 \text{nm}$  のトータル厚みに、単結晶のエピタキシャル SiGe 層 11' (エピタキシャルベース層) が、上記の活性領域を含む領域のうちの Si 単結晶層 3 (活性領域) の上に形成され、同時に非選択成長により、多結晶

のポリSiGe層12'（ポリベース層）が、上記の活性領域を含む領域のうちのシャロートレンチ4（素子分離領域）の上に形成される（なお、ポリSiGe層12'は、ポリシリコン膜10の上にも積層されることになる。）。

- 5      ここで、エピタキシャルSiGe層11'およびポリSiGe層12'においては、その成長過程において不純物濃度 $3 \times 10^{19} \text{ cm}^{-3}$ となるようにボロンがドーピングされ、この部分がP型の半導体になっている。こうしてエピタキシャルSiGe層11'により構成された真性ベース領域11が形成される。
- 10      なお、図8のA領域の拡大図に示すように、エピタキシャルSiGe層11'は詳しくは、単結晶のSiバッファ層109と、単結晶のノンドープSiGeスペーサ層110と、単結晶のBドーパSiGe傾斜ベース層111と、単結晶のSiキャップ層112と、によって構成される多層構造を有し、図8のB領域の拡大図に示すように、ポリSiGe
- 15      層12'は詳しくは、Siバッファ層109と同時に形成される多結晶の外部ベース形成層113と、ノンドープSiGeスペーサ層110と同時に形成される多結晶の第2の層114と、BドーパSiGe傾斜ベース層111と同時に形成される多結晶の第3の層115と、Siキャップ層112と同時に形成される多結晶の第4の層116と、によって
- 20      構成される多層構造を有している。

次に、図9に示す工程において、約30nmの厚みにシリコン酸化膜13が減圧CVD法により堆積され、その後、連続的に約50nmの厚みにポリシリコン膜14が減圧CVD法により堆積される。

- 続いて、フォトリソグラフィを用いてSiGeHBT120のエミ
- 25      ッタ領域を開口したレジストをマスクにして、ポリシリコン膜14をドライエッチング法によりその下層のシリコン酸化膜13の表面が露出するまで除去する。その後、露出したシリコン酸化膜13の領域に対してシリコン酸化膜13をフッ酸等のエッチャントを用いてウェットエッチ

ング法によりその下層の真性ベース領域 11 の表面が露出するまで除去して、これにより、ベース層とエミッタ層との開口部 121 における真性ベース領域 11 のみを露出させ、それ以外の領域をシリコン酸化膜 13 で覆うことができる。

- 5 次に、図 10 に示す工程において、約 300 nm の厚みでかつ不純物濃度が  $1 \sim 5 \times 10^{20} \text{ cm}^{-3}$  になるよう、N+型のポリシリコン層 15 が上記の開口部 121 の真性ベース領域 11 に接触しながら減圧 CVD 法により堆積される。

- 10 続いて、フォトリソグラフィーにより所定の領域を開口したレジスト 130 をマスクにして、ポリシリコン膜 15 を異方性ドライエッチング法により除去して、これによりポリシリコン膜 15 からなるエミッタ電極 16 が形成される。

続いて、シリコン酸化膜 13 が、このレジスト 130 をマスクにしてフッ酸等のエッチャントを用いてウェットエッチングにより除去される。

- 15 そして、このレジスト 130 をエミッタ電極 16 の上に残した状態で、真性ベース領域 11 の内部の不純物濃度を一定に保ちながらポリ SiGe 層 12' の抵抗を低減するため、図中に矢印で示すように（注入角度  $0^\circ$ ）、ポリ SiGe 層 12' の不純物濃度が  $1 \times 10^{20} \text{ cm}^{-3}$  になるように、不純物（ボロン）イオンがポリ SiGe 層 12'（正確には真性ベース領域 11 のレジスト 30 に覆われていない部分とポリ SiGe 層 12'）に追加的注入される。なおその後、レジスト 130 は、適宜の方法により除去される。
- 20

- 次に、図 11 に示す工程において、フォトリソグラフィーにより所定の領域を開口したレジストをマスクにして、ポリ SiGe 層 12' のうちの外部ベース領域 12 を残して ポリ SiGe 層 12' およびポリシリコン膜 10 をドライエッチングにより除去し、その下層のシリコン酸化膜 9 の表面を露出される。こうして、Si 基板 1 の上に、ポリ SiGe 層 12' により構成される外部ベース領域 12 が形成される。
- 25

次に、図 1 2 に示す工程において、約 3 0 ～ 1 0 0 n m の厚みにシリコン酸化膜 9 ' を減圧 C V D 法により堆積した後、約 9 0 0 ℃ の温度で、かつ 1 0 ～ 1 5 秒程度の期間、熱処理が施される。

次に、図 1 3 に示す工程において、シリコン酸化膜 9 ' およびその下  
5 層のシリコン酸化膜 9 に対して異方性エッチングによりエッチバック処理が行われ、これによりエミッタ電極 1 6 の側面にサイドウォール 1 8 が形成される。なお、この状態で、エミッタ電極 1 6 の表面および外部ベース領域 1 2 の表面、コレクタ引出し層 8 の表面にはいずれも、シリコン表面が露出された状態にある。

10 次に、図 1 4 に示す工程において、S i G e H B T の一連の製造工程のうち、従来の製造工程と相違する外部ベース領域 1 2 のエッチング処理が行われる。ここでは、外部ベース領域 1 2 および真性ベース領域 1 1 の積層構造を示した部分拡大断面図を用いて、この製造工程を詳しく説明する。

15 図 1 4 ( a ) は、外部ベース領域 1 2 をエッチング処理する前の S i G e H B T の断面図であり、図 1 4 ( b ) は、外部ベース領域 1 2 をエッチング処理した後の S i G e H B T の断面図である。

すなわち、外部ベース領域 1 2 を、S i 基板 1 の側から順に、外部ベース形成層 ( S i 層 ) 1 1 3 と、第 2 の層 ( S i G e 層 ) 1 1 4 と、第  
20 3 の層 ( S i G e 層 ) 1 1 5 と、第 4 の層 ( S i 層 ) 1 1 6 と、に分けて図示している。なお、真性ベース領域 1 1 を、S i 基板 1 の側から順に、S i バッファ層 1 0 9 と、ノンドープ S i G e スペーサ層 1 1 0 と、B ドープ S i G e 傾斜ベース層 1 1 1 と、S i キャップ層 1 1 2 と、に分けて図示している。

25 なお、これらの層以外のものは、点線を付して略記している。

この前段階の工程 ( 図 1 3 ) において、外部ベース領域 1 2 の表面は露出されている一方、真性ベース領域 1 1 の表面はエミッタ電極 1 6 によって被覆されている。

この状態において、硝酸 ( $\text{HNO}_3$ ) と、水 ( $\text{H}_2\text{O}$ ) と、フッ酸 ( $\text{HF}$ ) との混合液をエッチャントとして用いて外部ベース領域 12 に対するウェットエッチング処理が行われる。特に、 $\text{HNO}_3 : \text{H}_2\text{O} : \text{HF} = 40 : 20 : 5$  の混合比からなるエッチャントを用いてことが望ましい。

5      このような混合比のエッチャントを使用すれば、 $\text{Si}$  と  $\text{SiGe}$  との選択エッチング特性に優れ、具体的には、 $\text{Si}$  のエッチング速度は  $1.8 \text{ nm/min}$ 、 $\text{SiGe}$  ( $\text{Ge}$  組成 30%) のエッチング速度は  $22.5 \text{ nm/min}$  であり、要するに  $\text{SiGe}$  のエッチング速度は  $\text{Si}$  のエッチング速度よりも約 13 倍速い。

10      従って、外部ベース領域 12 の第 3 の層 ( $\text{SiGe}$  層) 115 と第 2 の層 ( $\text{SiGe}$  層) 114 は共に、上記エッチャントを用いて速やかにエッチングにより除去されるものの、この第 2 の層 114 をエッチングにより除去した時点で、その下層の外部ベース形成層 ( $\text{Si}$  層) 113 のエッチング速度は急速に低下し、外部ベース形成層 113 のエッチングは進行し難くなる。

よって、エッチング時間を適切に設定することによって外部ベース領域 12 のうちの第 3 の層 115 と、第 2 の層 114 とを速やかにエッチングにより除去できると共に、外部ベース領域 12 のうちの外部ベース形成層 113 のみを制御性良く残存させることが可能になる。

20      こうして、図 14 (b) に示すように、外部ベース領域 12 のうちの外部ベース形成層 113 のみを残存させた  $\text{SiGe HBT}$  が得られる。

次に、図 1 に示す工程において、コバルト ( $\text{Co}$ ) をスパッタリング法により外部ベース領域 12 の表面およびエミッタ電極 16 の表面並びにコレクタ引出し層 8 の表面に堆積し、これらをアニール処理した後に、  
25       $\text{Co}$  未反応層が除去される。続いて、再度のアニール処理が実施されることにより外部ベース領域 12 の表面およびエミッタ電極 16 の表面並びにコレクタ引出し層 8 の表面に  $\text{Co}$  シリサイド層 19 が形成される。

その後、 $\text{Si}$  基板 1 の全面を覆うように層間絶縁膜 20 が堆積された

後に、この層間絶縁膜 20 にはその厚み方向に貫通するように、エミッタ電極 16 および外部ベース領域 12 並びにコレクタ引出し層 8 の表面の各 C o シリサイド層 19 に到達する 3 個のコンタクトホールが形成される。

- 5     そして、各コンタクトホール内にタングステン (W) を埋め込むことにより W プラグ 21 が形成される。その後、アルミニウム合金膜をスパッタリングにより層間絶縁膜 20 の上に堆積し、所定領域を開口したレジストをマスクにして、このアルミニウム合金膜をパターニングすることにより、上記の各 W プラグ 21 に接続して、層間絶縁膜 20 の上に延  
10   びる金属配線 22 が形成される。こうして図 1 に示す S i G e H B T 120 が得られる。

こうした第 1 の実施の形態の製造方法によれば、外部ベース領域 12 のうちの G e 原子を含有する層が事前にエッチングにより除去されたうえで、C o シリサイド層 19 が、G e 原子を含有しないシリコンからなる外部ベース形成層 113 の上に形成される。このため、G e 原子によるシリサイド形成の阻害に起因して発生するベース抵抗の増加を確実に  
15   防止できる。

#### (第 2 の実施の形態)

図 15 は、本発明の第 2 の実施の形態に係る S i G e H B T の構成を示す断面図であり、図 16 は、この S i G e H B T のベース層 (真性ベース領域 11 と外部ベース領域 12) の構成を説明する断面図であるが、  
20   ベース層以外の構成は、点線を付して略記している。

図 15 に示す S i G e H B T 130 の構成は、その外部ベース領域 12 の構成を除いて、第 1 の実施の形態に係る S i G e H B T 120 の構成 (図 1) と同じであるため、ここでは、両者に共通する構成の説明は  
25   省略し、図 2 を参照しつつ外部ベース領域 12 の構成を説明する。

図 16 によれば、外部ベース領域 12 は、S i 基板 1 の上に基板側から順番に、気相成長法により、S i 基板 1 の上に単結晶の S i バッファ

層 1 0 9 と並んでこれとほぼ同じ厚みでかつ S i バッファ層と同時に形成されるシリコンからなる多結晶の外部ベース形成層としての第 1 の層 1 1 3 と、単結晶のノンドープ S i G e スペーサ層 1 1 0 と同時にこれの約 1 / 1 0 の厚みに形成されるシリコンとゲルマニウムからなる外部  
5 ベース形成層としての多結晶の第 2 の層 1 1 4 と、単結晶の B ドープ S i G e 傾斜ベース層 1 1 1 と同時にこれの約 1 / 1 0 の厚みに形成されるシリコンとゲルマニウムからなる外部ベース形成層としての多結晶の第 3 の層 1 1 5 と、単結晶の S i キャップ層 1 1 2 と同時に形成されるシリコンからなる外部ベース形成層としての多結晶の第 4 の層 1 1 6 と、  
10 この第 4 の層 1 1 6 の表面をシリサイド化した C o シリサイド層 1 9 と、  
によって構成されている。

なお、第 4 の層 1 1 6 は、その表面に C o シリサイド層 1 9 を形成するに必要な厚み（例えば、6 0 n m）に調整されている。

なお、第 2 の層 1 1 4 と第 3 の層 1 1 5 の厚みは、後ほど説明するよ  
15 うに塩素を含む反応性ガスを添加しつつ成長を行うことにより制御可能である。

以上に説明した S i G e H B T 1 3 0 によれば、外部ベース領域 1 2 を構成する G e 原子を含有する層（具体的には第 2 の層 1 1 4 と第 3 の層 1 1 5）の厚みが薄膜化されたため、外部ベース領域 1 2 に含有する  
20 G e 原子の含有量を少なくでき、これによって第 4 の層 1 1 6 の表面に C o シリサイド層 1 9 を形成する際に、G e 原子によってもたらされるシリサイド化の阻害要因を適切に排除できて C o シリサイド層 1 9 の高抵抗化を確実に防止できる。

次に、このように構成された S i G e H B T 1 3 0 の製造方法を、図  
25 面を参照しつつ詳しく説明する。

図 1 7 ～図 2 2 は、第 2 の実施の形態に係る S i G e H B T の製造工程を説明する断面図である。なお、図 1 5 は、S i G e H B T の製造工程において完成した S i G e H B T の断面を示す図である。



なおここで、第1の実施の形態1における図3～図7に示す製造工程の内容は、第2の実施の形態の製造工程においても同じため、これらの製造工程に関連する図示およびその説明は省略している。

図17に示す工程において、SiGeHBTの一連の製造工程のうち、  
5 従来の製造工程と相違するように外部ベース領域12が形成される。ここでは、図17に示すように、外部ベース領域12および真性ベース領域11の積層構造を示す拡大断面図を用いてその製造工程を詳しく説明する。なお、図17においてベース層以外の構成は、点線を付して略記している。

10 Si基板1に堆積したSi単結晶層3の上には、単結晶のSiバッファ層109が非選択成長条件によりエピタキシャル成長する。具体的には、減圧化学的気相成長法(LPCVD)により原料ガスとしてSiH<sub>4</sub>ガス等を用いて、80 Torrの成長圧力条件かつ650℃の温度条件のもとでSiバッファ層109の成長が実行される。

15 この際、真性ベース領域11におけるSiバッファ層109の成長と同時に、シリコン酸化膜により構成されたシャロートレンチ4の上にはシリコンからなる外部ベース形成層としての多結晶の第1の層113が成長する。

続いて、単結晶のSiバッファ層109の上には、ノンドープSiGe  
20 eスペーサ層110とBドープSiGe傾斜ベース層111とが、非選択成長条件から選択成長条件に切り替えたうえで、選択成長条件によりエピタキシャル成長する。具体的には、原料ガス(SiH<sub>4</sub>ガス、Si<sub>2</sub>H<sub>6</sub>ガス、GeH<sub>4</sub>ガス)と共に、HClガス、Cl<sub>2</sub>ガス、SiH<sub>2</sub>Cl<sub>2</sub>ガス等のエッチング性質を有するガスを適量添加して、20 Torr  
25 rの成長圧力条件かつ750℃の温度条件のもとでノンドープSiGeスペーサ層110とBドープSiGe傾斜ベース層111の成長が実行される。

このような選択成長条件においては、単結晶のSiバッファ層109

の上には、単結晶のSiGe層は速やかに成長可能である一方、多結晶の第1の層113の上に成長しようとするシリコンとゲルマニウムを含んだ多結晶のSiGe層は、塩素系ガスのエッチング作用によりその核形成が防止されて成長し難い。

- 5      このため、外部ベース領域12の第1の層113の上にもSiGe層114、115（外部ベース形成層としての第2および第3の層）が僅かに成長可能であるものの、これらの層114、115の成長膜厚は、塩素系ガスに起因するエッチング作用によってノンドープSiGeスペーサ層110やBドープSiGe傾斜ベース層111の成長膜厚の約1  
10    /10になる。

なお引き続き、真性ベース領域11の単結晶のSiキャップ層112が、選択成長条件から非選択成長条件に切り替えたうえで、再び非選択成長条件によりエピタキシャル成長する。具体的には、原料ガスとしてSiH<sub>4</sub>ガス等を用いて、80 Torrの成長圧力条件かつ650℃の  
15    温度条件のもとで、Siキャップ層112の成長が実行され、同時に、シリコンからなる外部ベース形成層としての多結晶の第4の層116が形成される。

なお、図18～図22および図15に示す製造工程の内容は、第1の実施の形態において説明したものと重複するため、これらの製造工程の  
20    説明は省略する。

こうした第2の実施の形態の製造方法によれば、外部ベース領域12に内在するSiGe層の厚みを、塩素を含む反応性ガスのエッチング作用により真性ベース領域11に内在するSiGe層の厚みの約1/10に制御できたため、外部ベース領域12に含まれるGe含有量は、真性  
25    ベース領域11に含まれるGe含有量と比べて約1/10以下となっており、これにより、外部ベース領域12を殆どSi材料のみにより構成することができるとができる。

よって、C oシリサイド層19（図15参照）が、Ge原子を殆んど

含有しない外部ベース形成層としての第4の層に形成され、これによりGe原子によるシリサイド形成の阻害に起因して発生するベース抵抗の増加を確実に防止できる。

- 上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

〔産業上の利用の可能性〕

- 10 本発明に係るバイポーラトランジスタおよびその製造方法によれば、シリサイド形成の阻害要因を無くしてベース抵抗の増加を防止することが可能であり、トランジスタの高性能化を実現でき、情報処理端末等に内蔵されるデバイスとして有用である。

## 請 求 の 範 囲

1. 基板と、前記基板の上に形成され、シリコンからなるシリコン  
5 バッファ層と、前記シリコンバッファ層の上に形成され、シリコンと少  
なくともゲルマニウムを含み前記シリコンに対する前記ゲルマニウムの  
成分の組成比が厚み方向に変化する組成比傾斜ベース層と、を有する真  
性ベース領域と、

前記基板の上に前記シリコンバッファ層と並んで形成され、シリコン  
10 からなる外部ベース形成層を有する外部ベース領域と、  
を備え、

前記外部ベース形成層および前記シリコンバッファ層の厚みが共に、  
40 nm以上でありかつ前記外部ベース形成層の表面がシリサイド化さ  
れているバイポーラトランジスタ。

15 2. 基板と、前記基板の上に形成され、シリコンからなるシリコン  
バッファ層と、前記シリコンバッファ層の上に形成され、シリコンと少  
なくともゲルマニウムを含み前記シリコンに対する前記ゲルマニウムの  
成分の組成比が厚み方向に変化する組成比傾斜ベース層と、を有する真  
性ベース領域と、

20 前記基板の上に前記シリコンバッファ層と並んで形成され、シリコン  
からなる外部ベース形成層を有する外部ベース領域と、  
を備え、

前記外部ベース形成層の厚みが、前記シリコンバッファ層の厚みにほ  
ぼ等しくかつ前記外部ベース形成層の表面がシリサイド化されているバ  
25 イポーラトランジスタ。

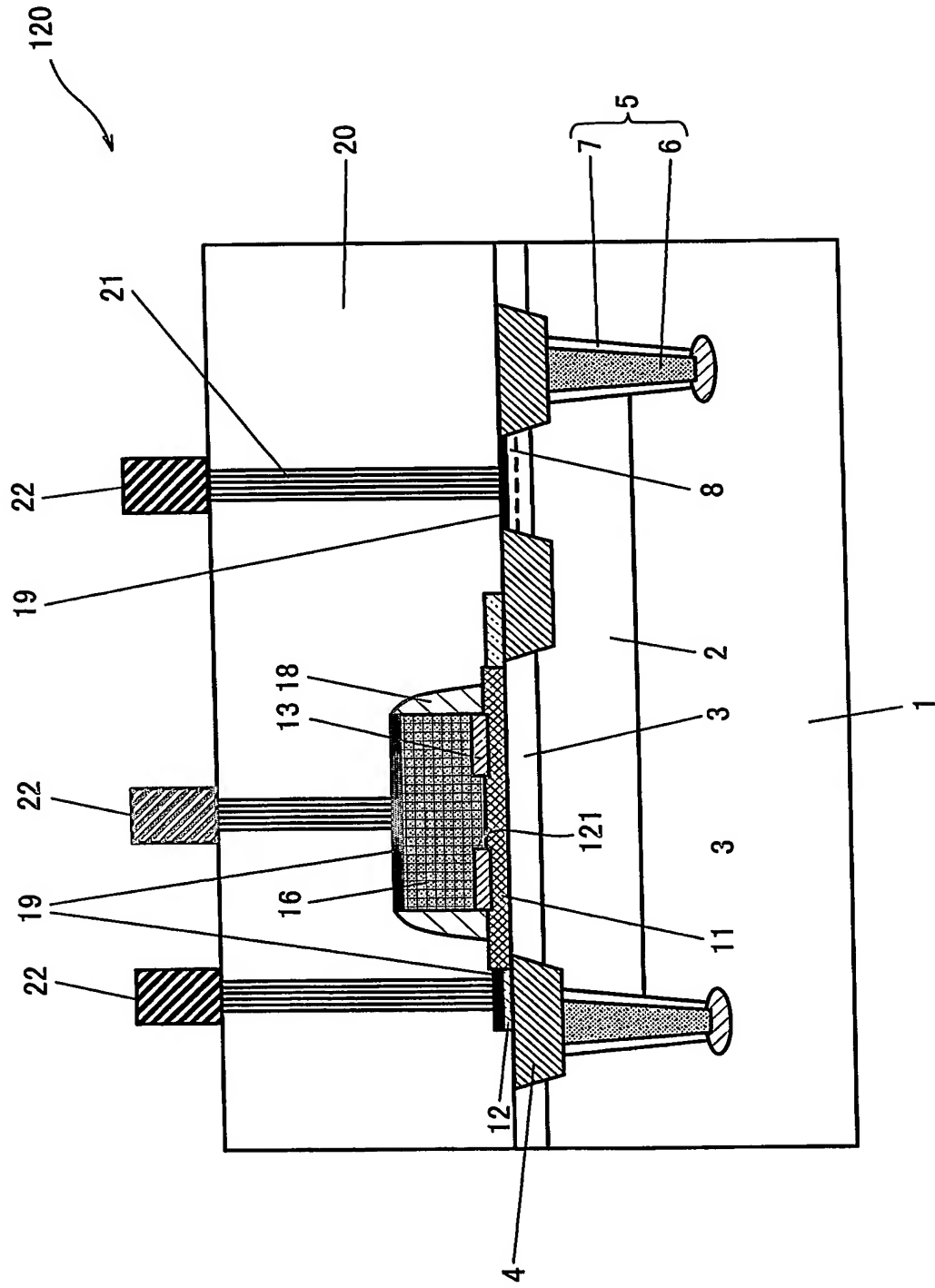
3. 前記組成比傾斜ベース層は、シリコンとゲルマニウムからなる  
シリコン・ゲルマニウム傾斜ベース層である請求項1または2記載のバ  
イポーラトランジスタ。

4. 前記シリコンバッファ層は単結晶であり、前記第外部ベース形成層は多結晶である請求項 1 または 2 記載のバイポーラトランジスタ。

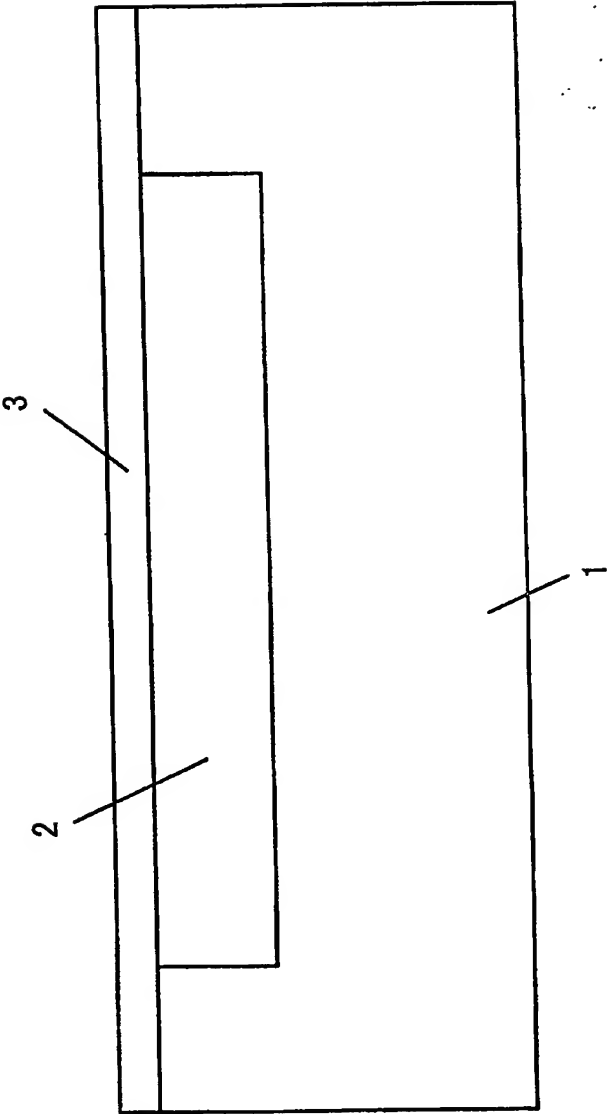
5. 基板にマスキング層を形成することにより活性領域を含む領域を囲み、前記活性領域を含む領域のうちの活性領域においては、シリコン層とシリコン・ゲルマニウム層とを有するようにエピタキシャルベース層を形成し、前記活性領域を含む領域のうちの素子分離領域においては、前記エピタキシャルベース層と非選択的に、シリコン層とシリコン・ゲルマニウム層とを有するようにポリベース層を形成し、その後、  
10 前記ポリベース層のうちの前記シリコン・ゲルマニウム層をエッチングにより除去することによって外部ベース形成層としての前記シリコン層の表面を露出させ、前記露出部にシリサイド層を形成するバイポーラトランジスタの製造方法。

6. 前記エッチングは、硝酸と水とフッ酸の混合液からなるエッチャントを用いたウェットエッチングである請求項 5 記載のバイポーラト  
15 ランジスタの製造方法。

1  
29



3 / 29



2/29

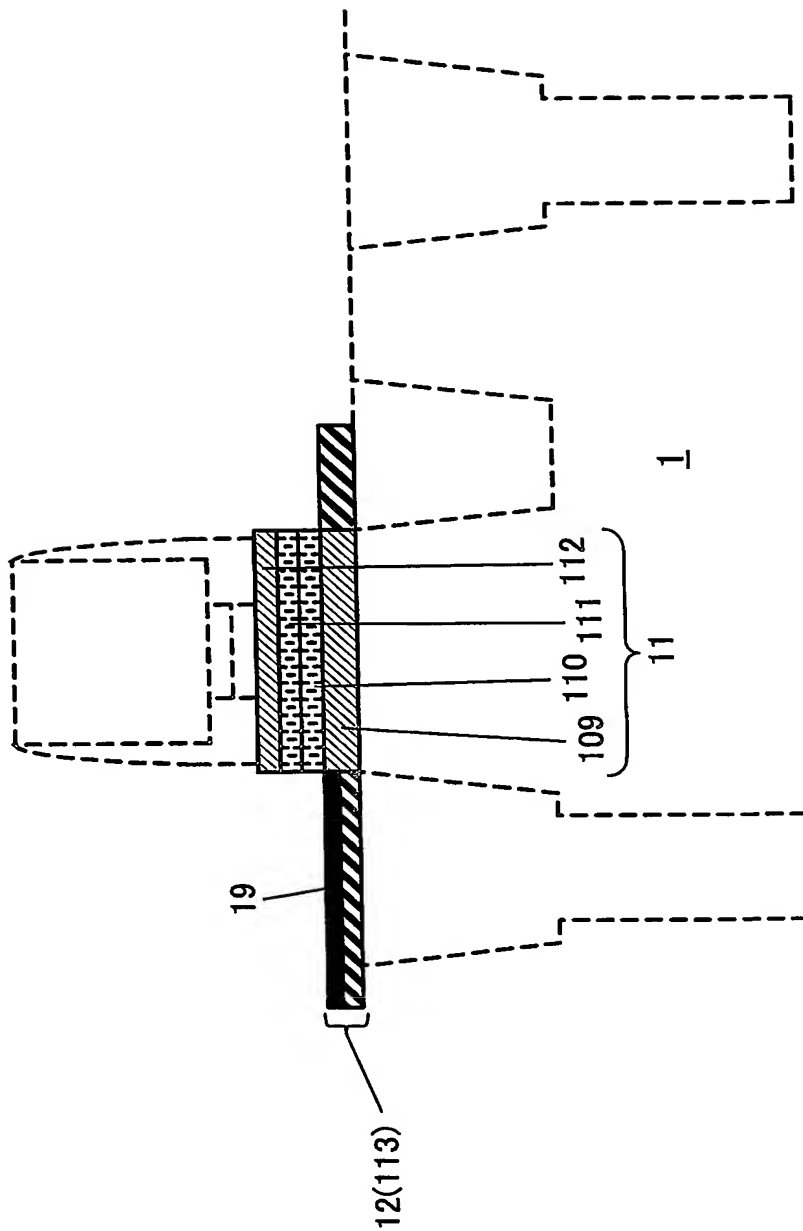


図 2



4 / 29

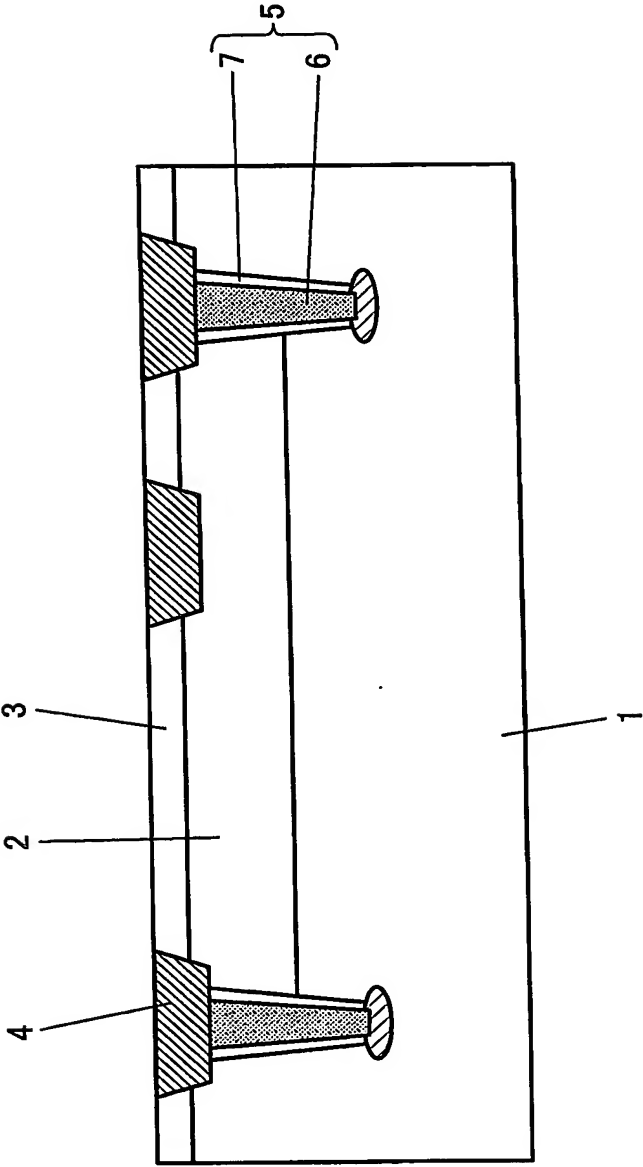
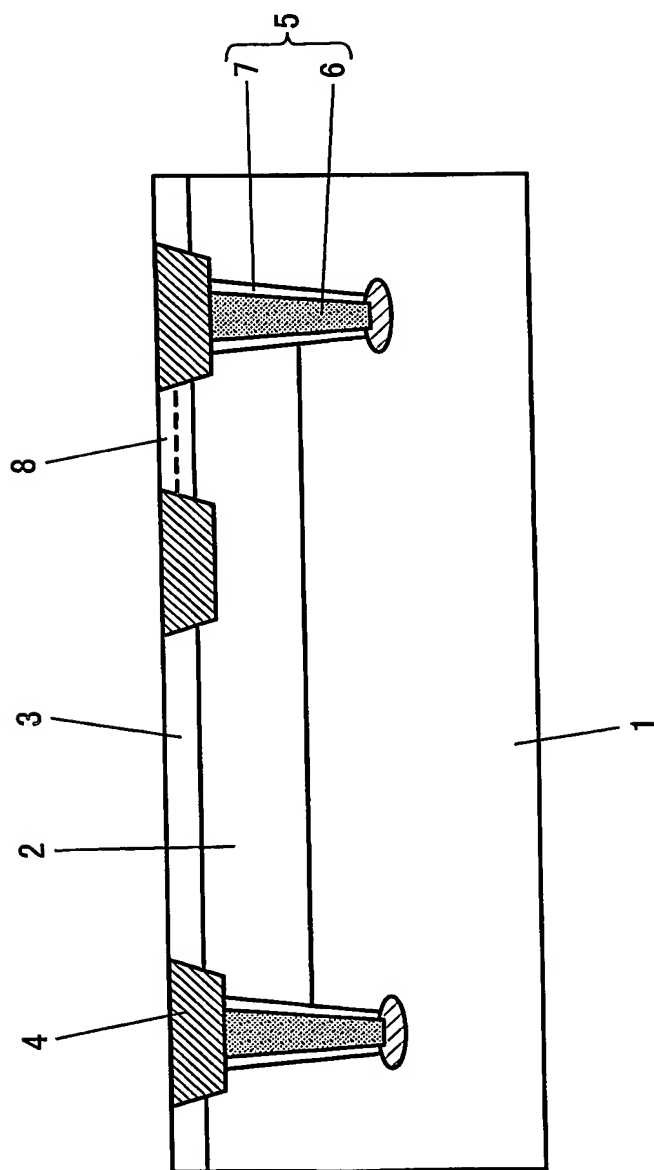


図4

5 / 29



6/29

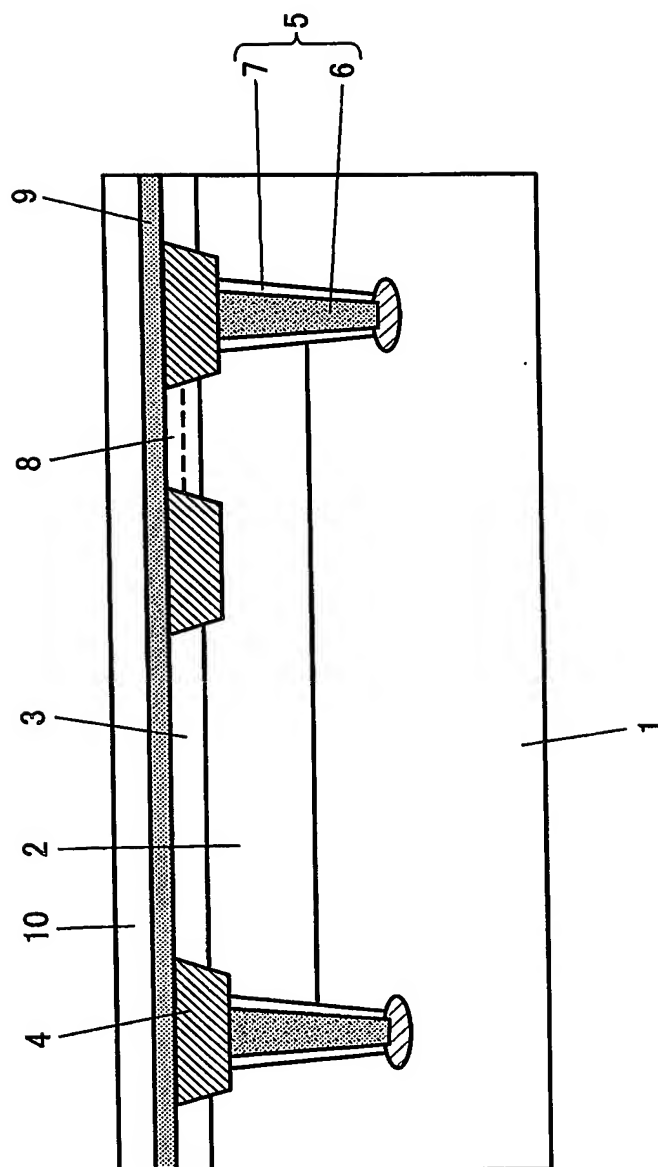


図 6

7/29

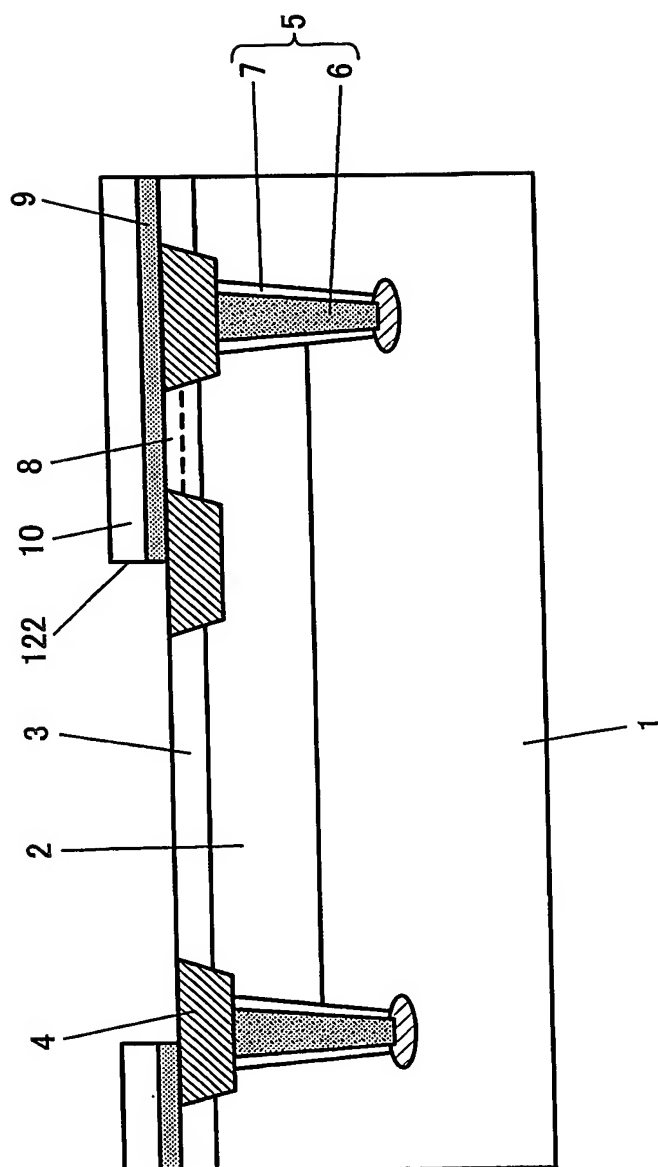
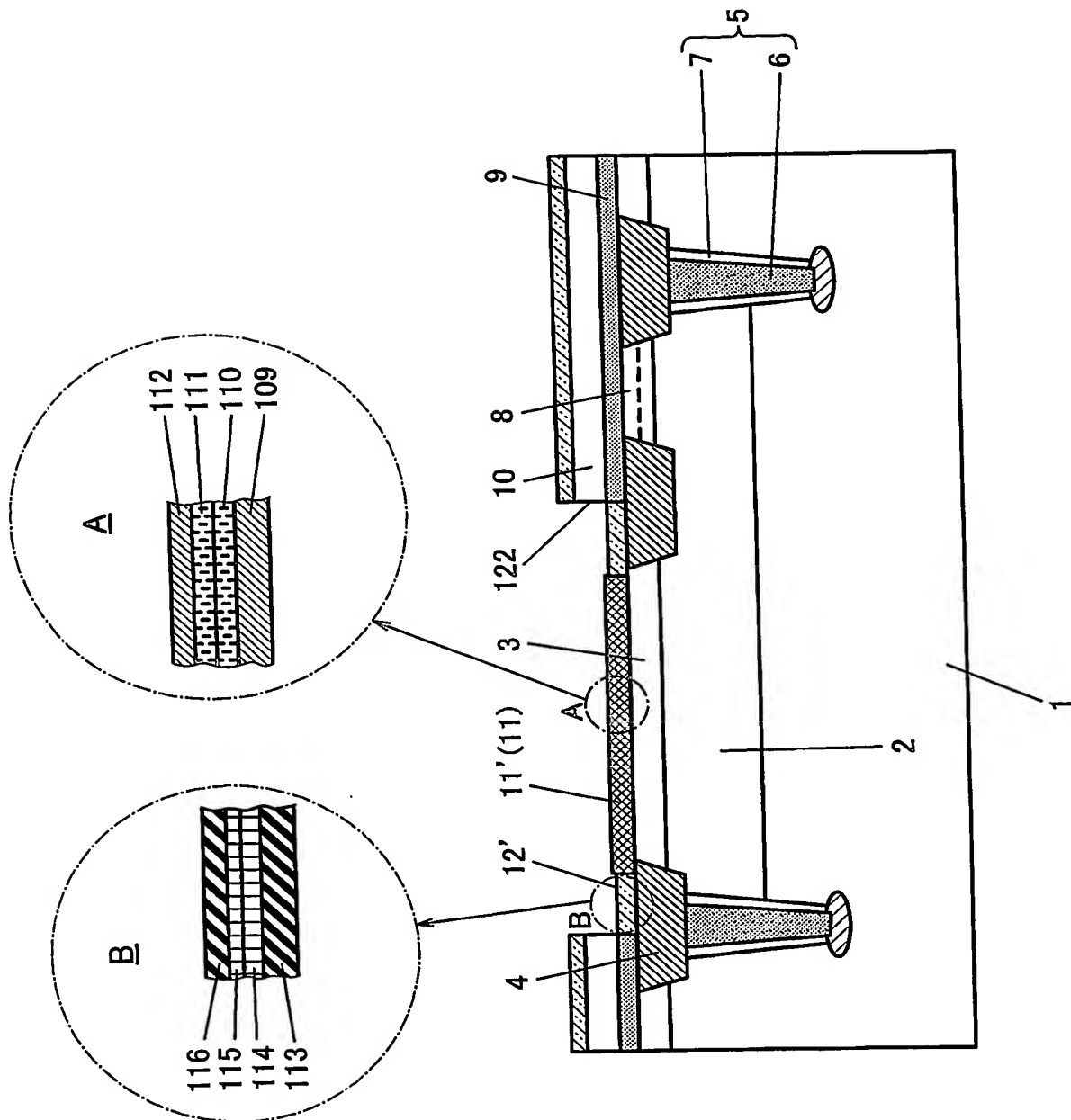
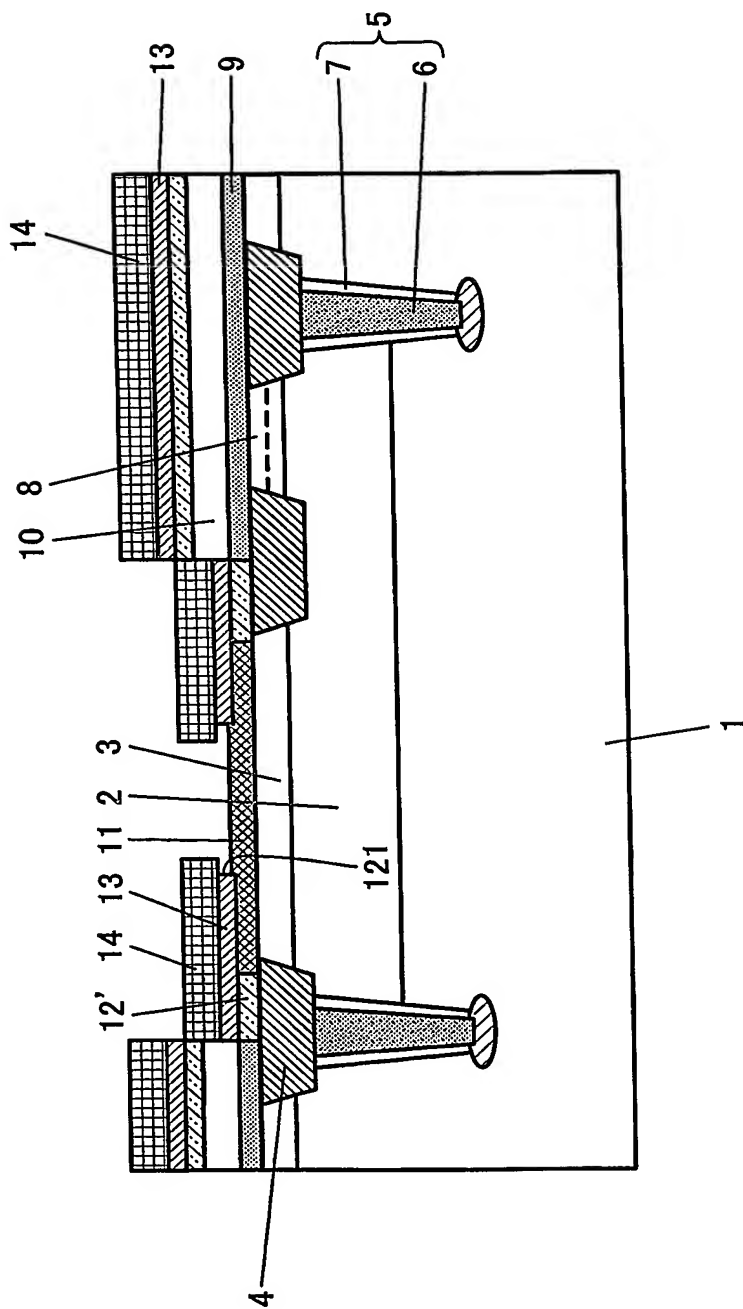


図7



9  
29



10  
29

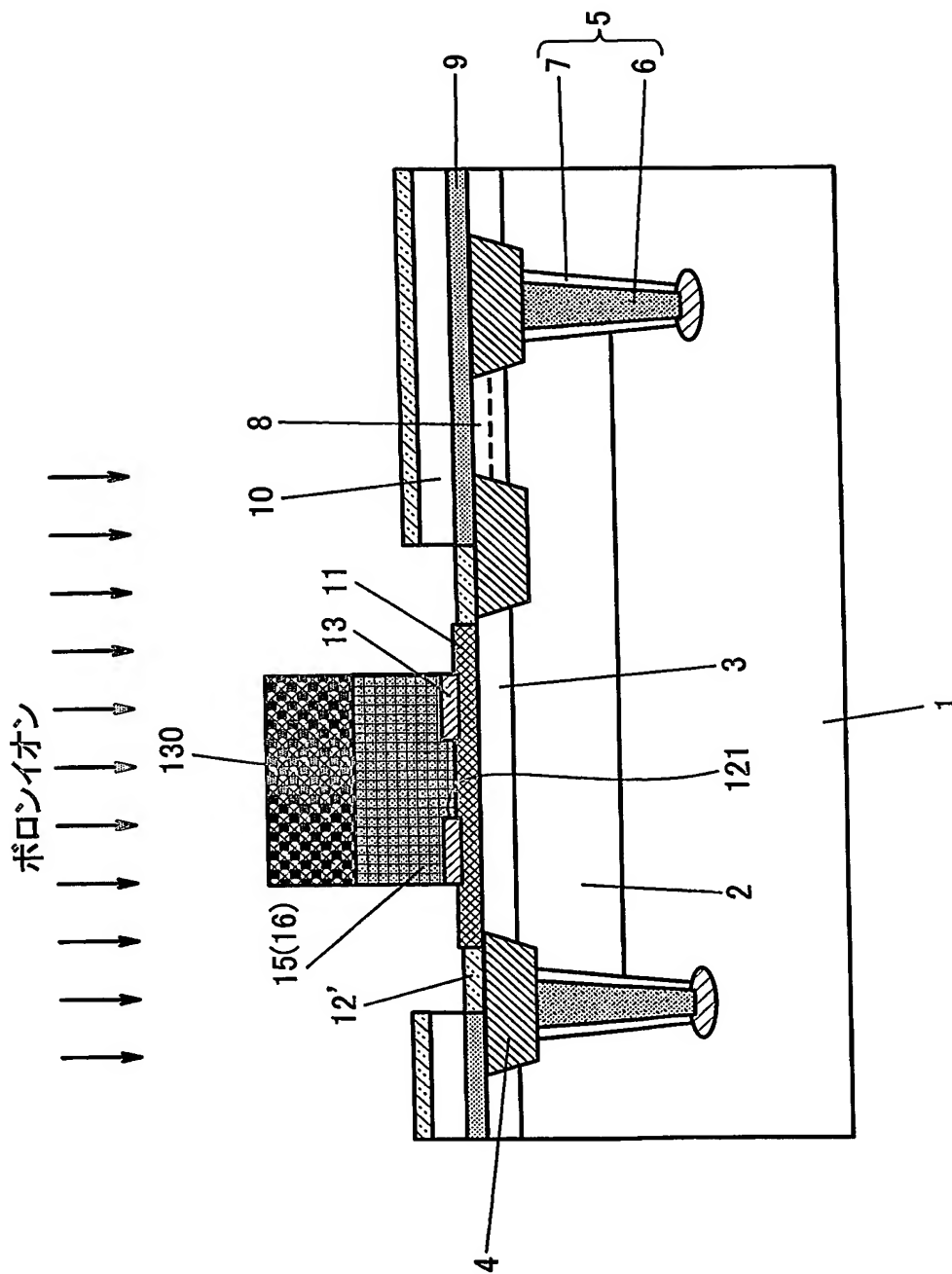
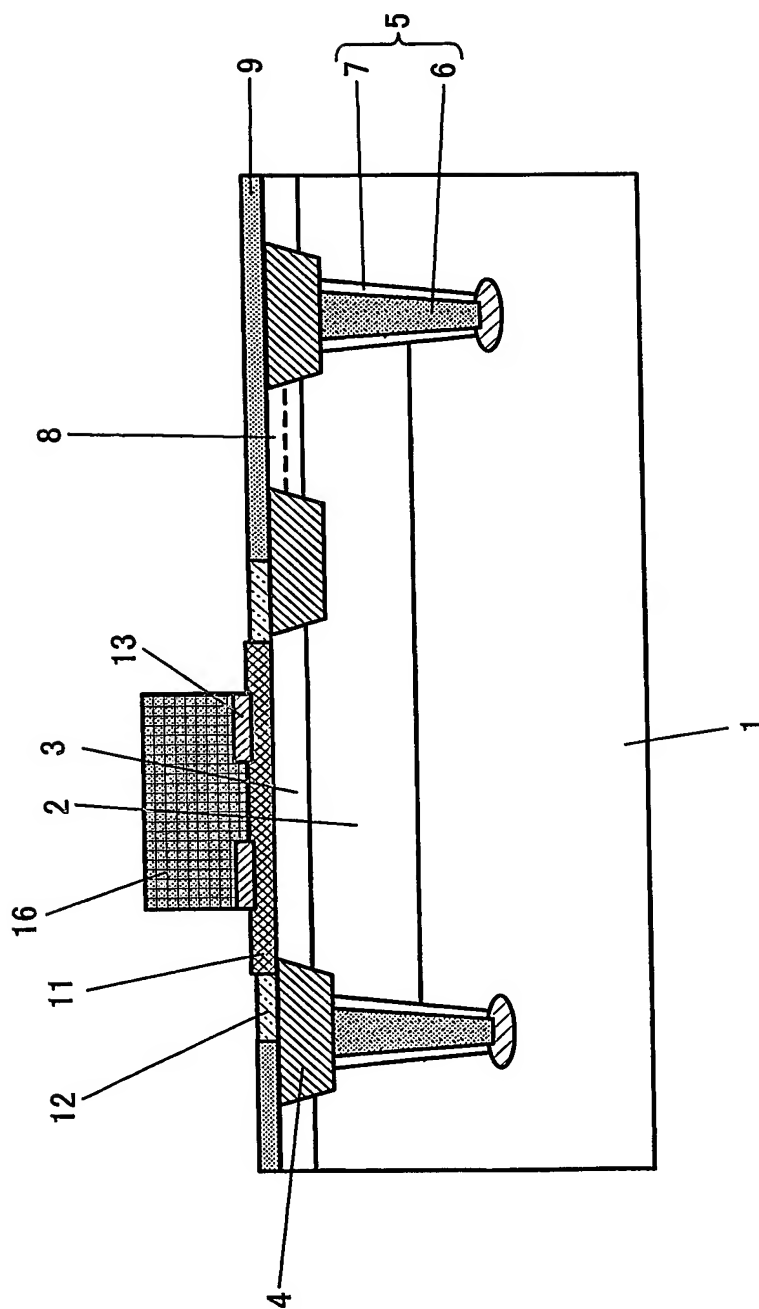


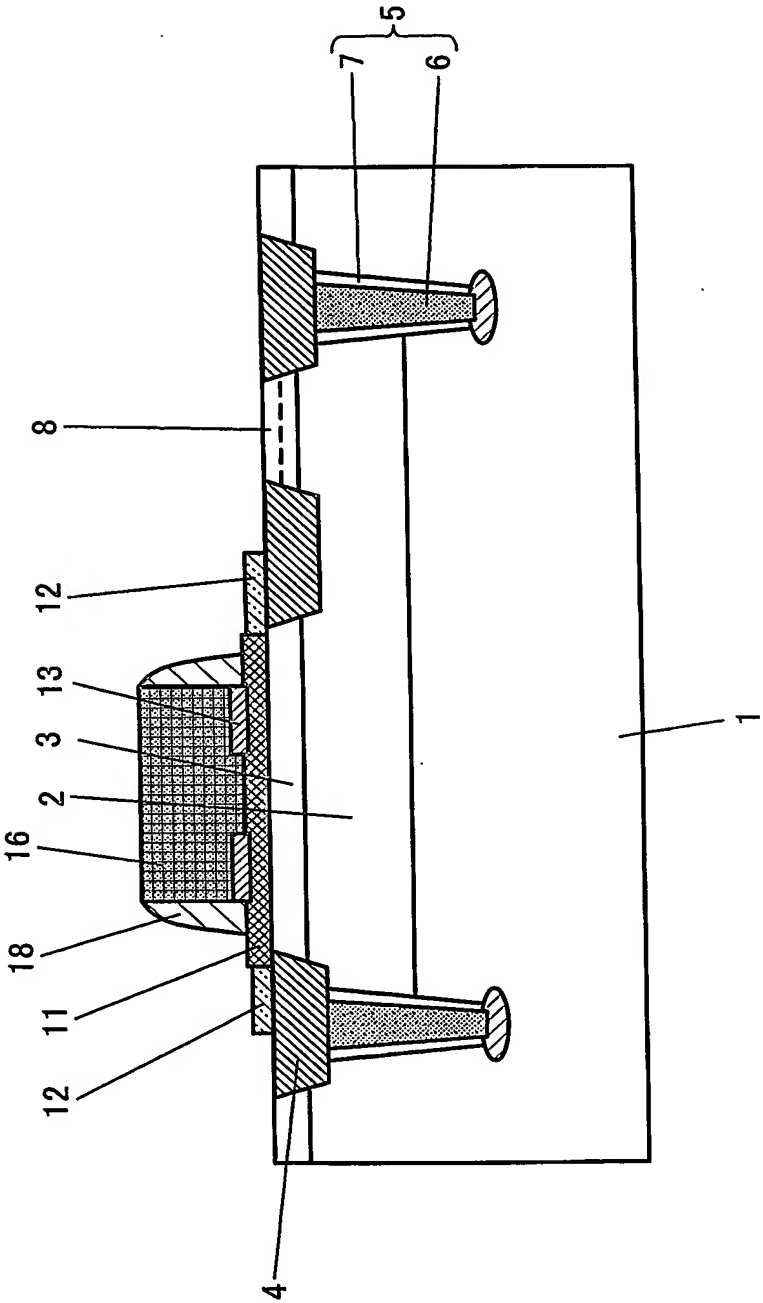
図10

11  
29



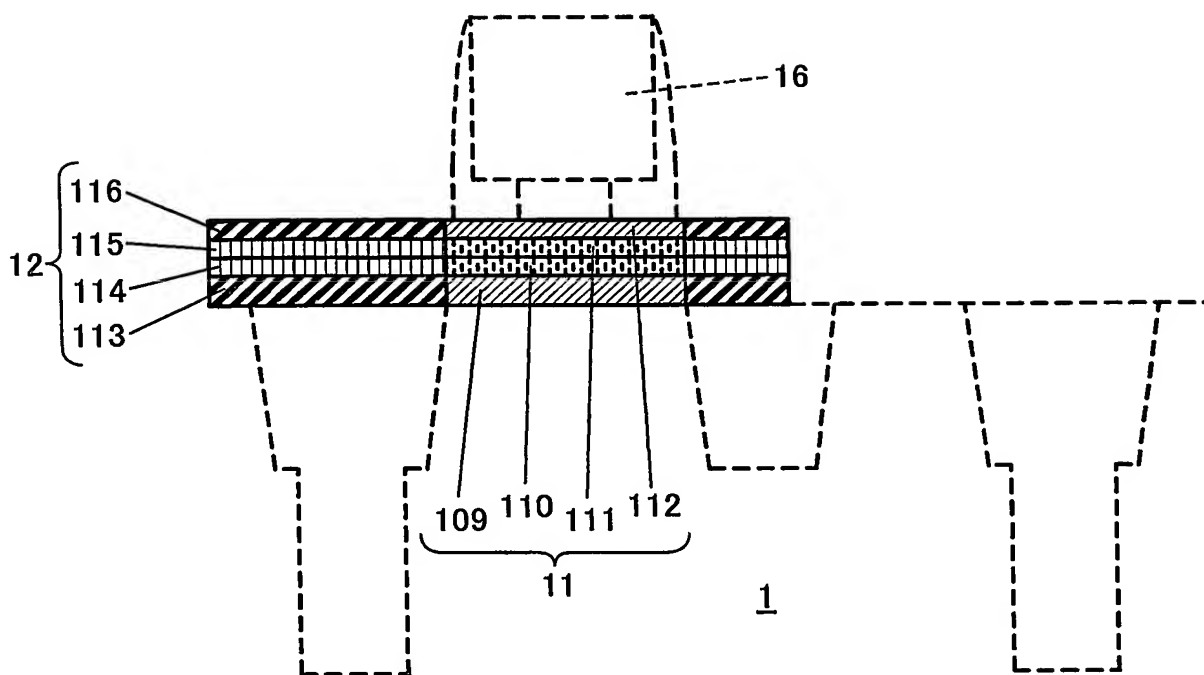




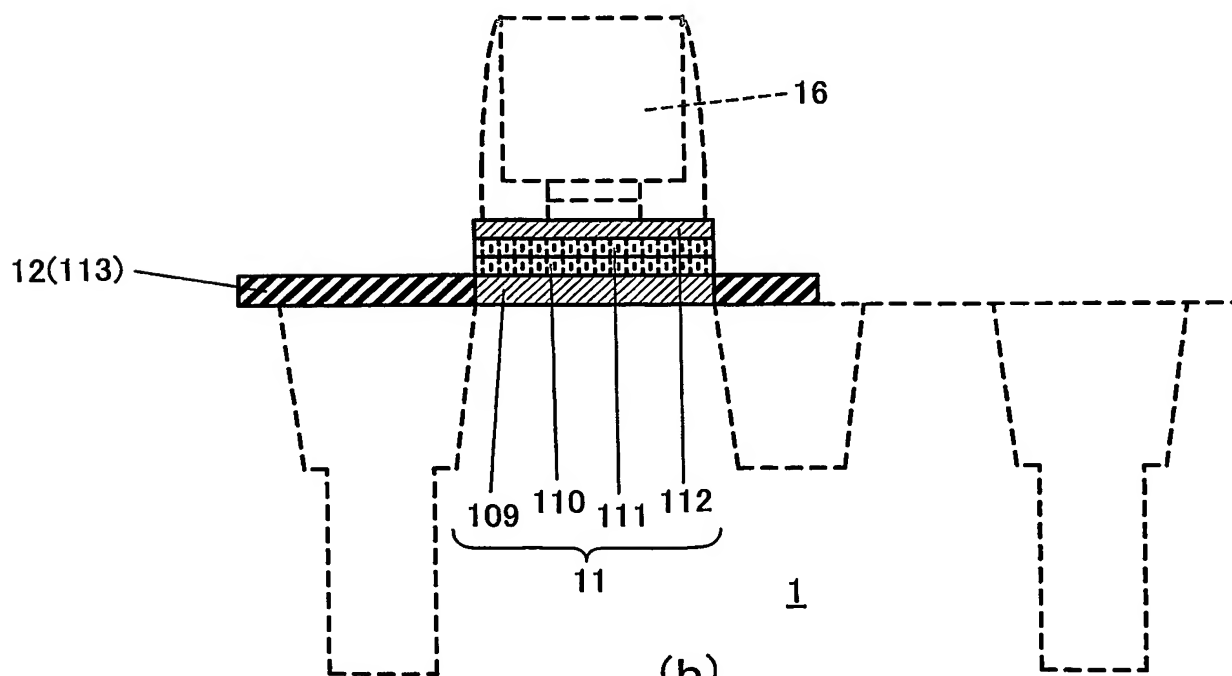


13 / 29

14  
/ 29

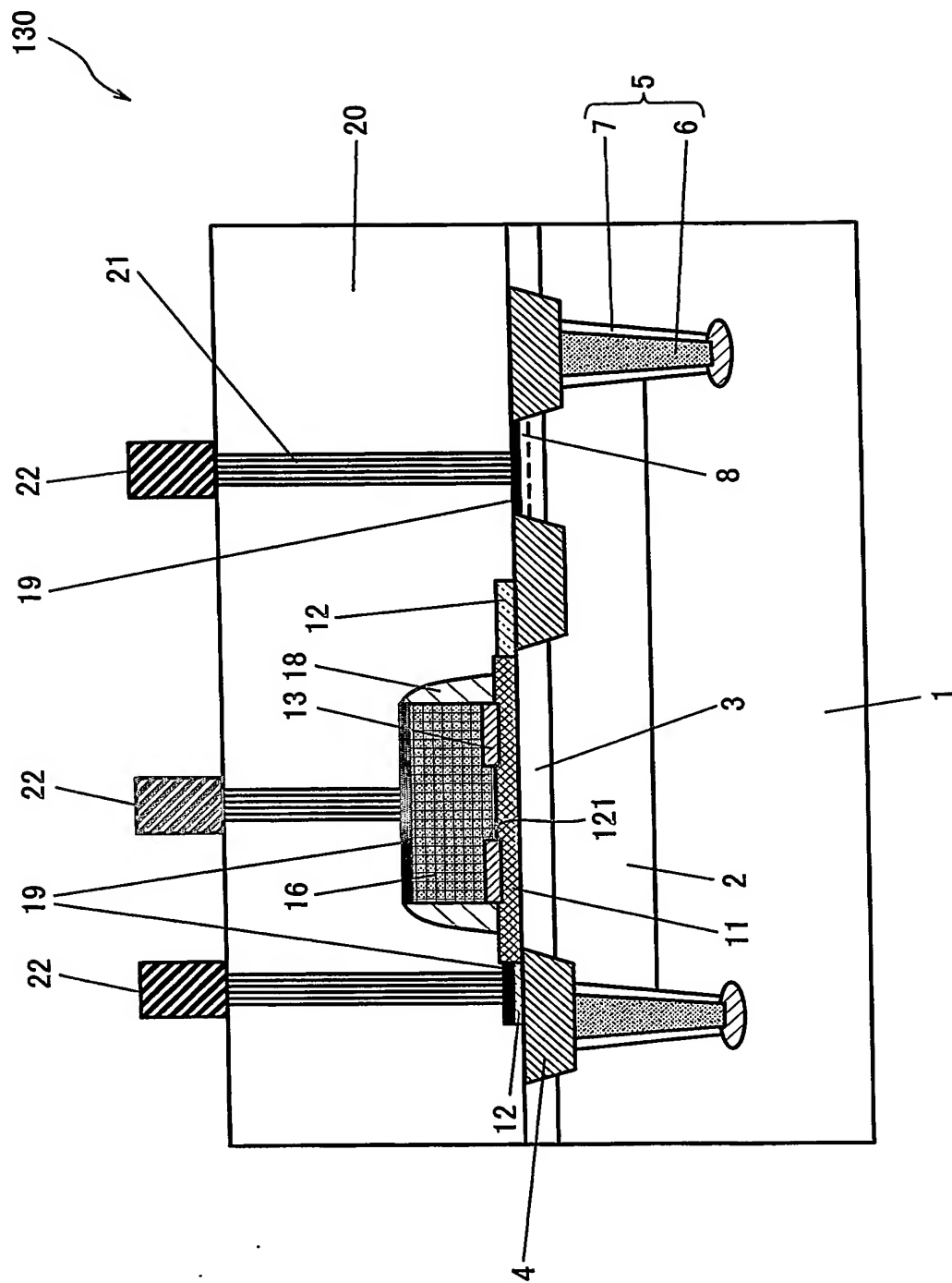


(a)



(b)

図 14

$$\frac{15}{29}$$


16  
29

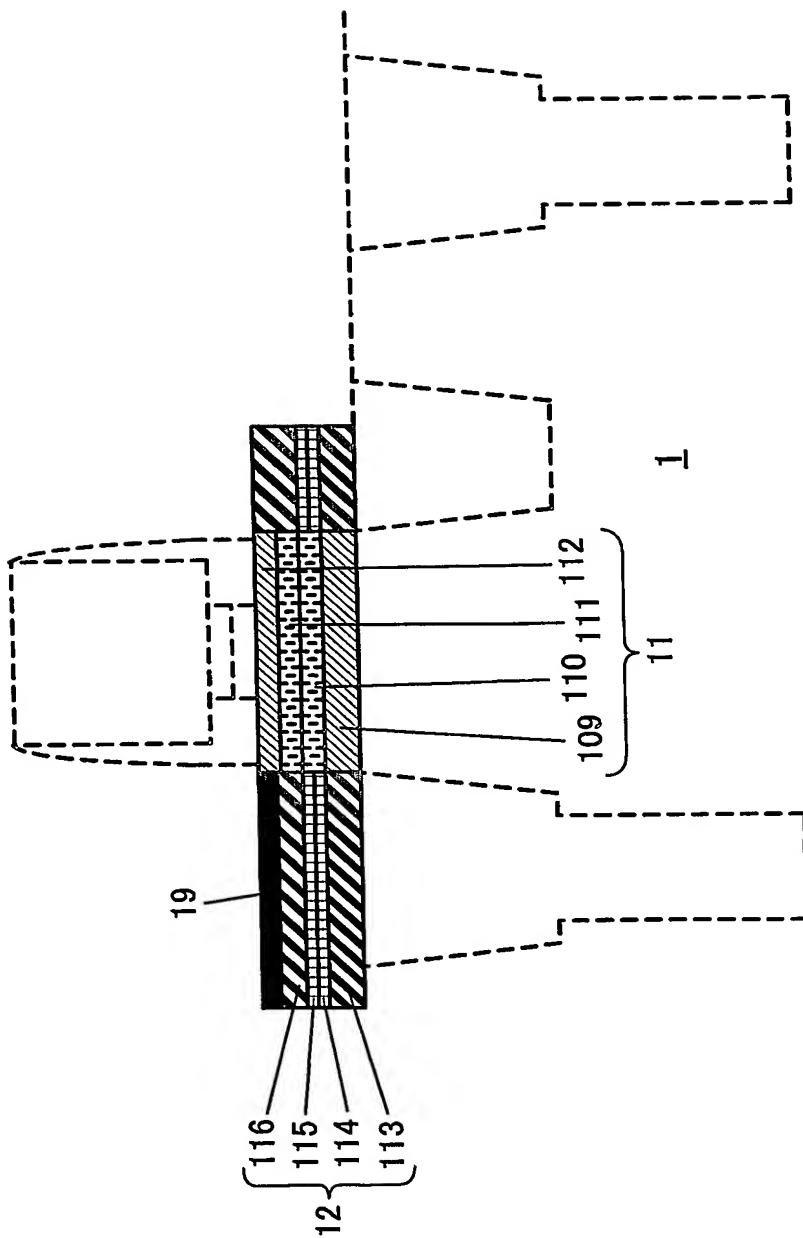


図16

17  
29

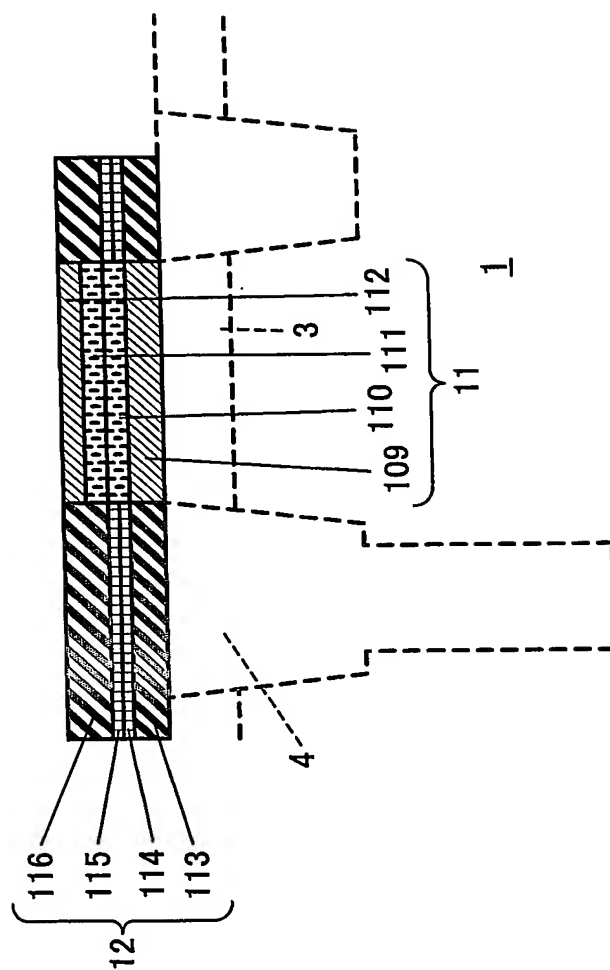
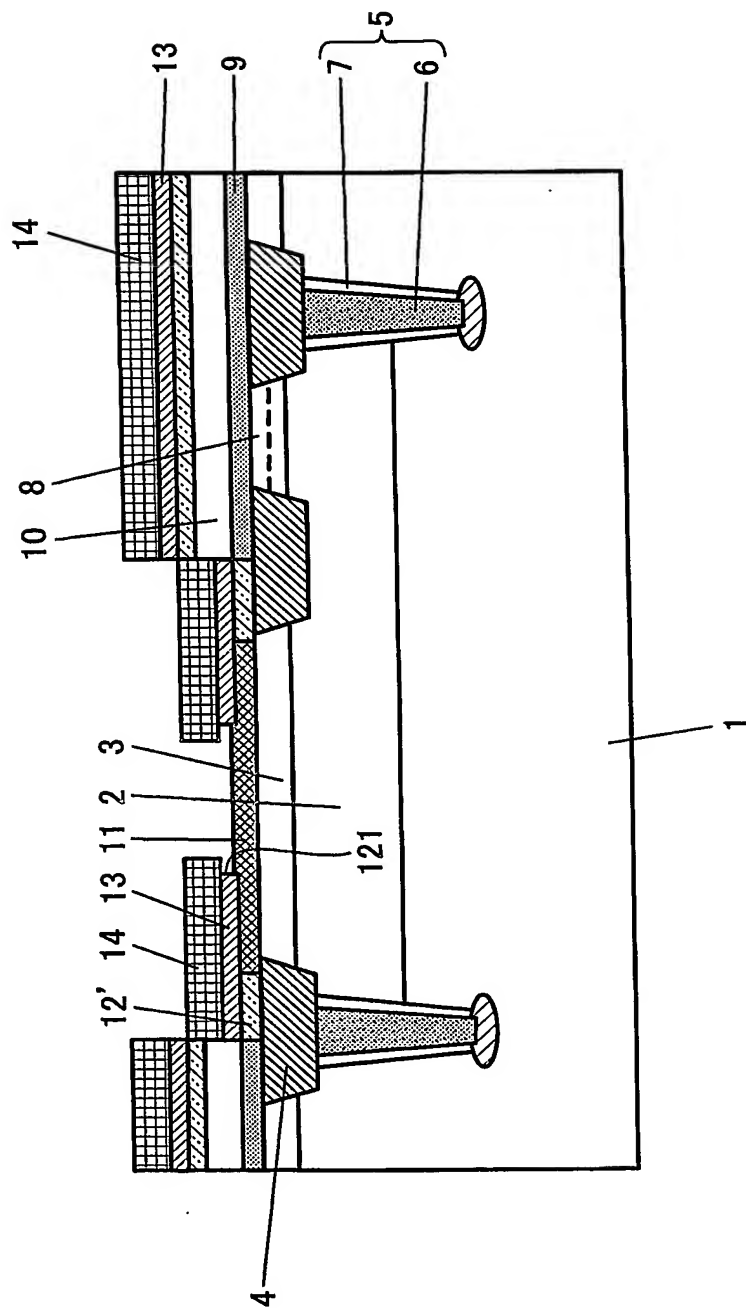
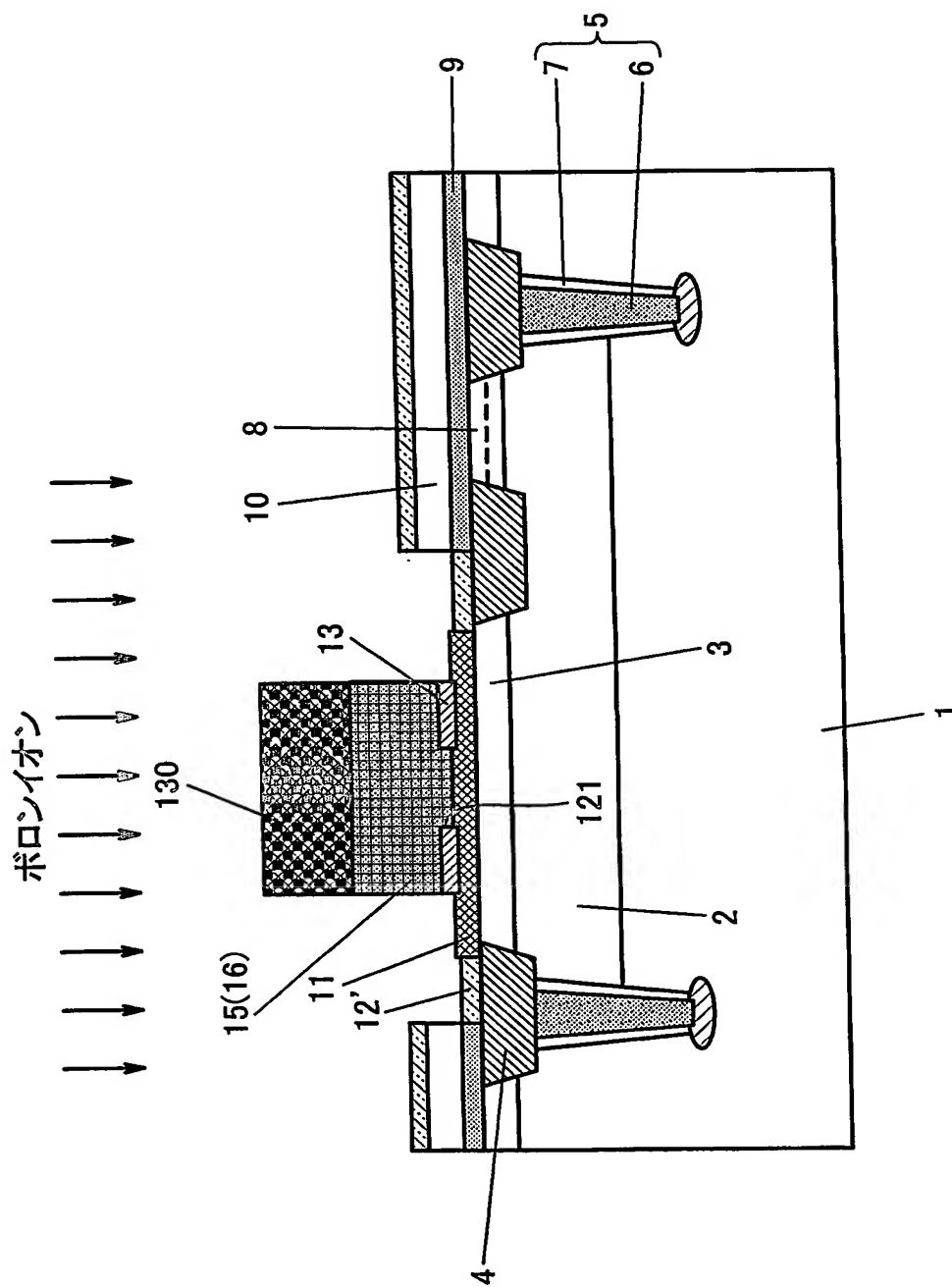


图17



18  
29





20  
/ 29

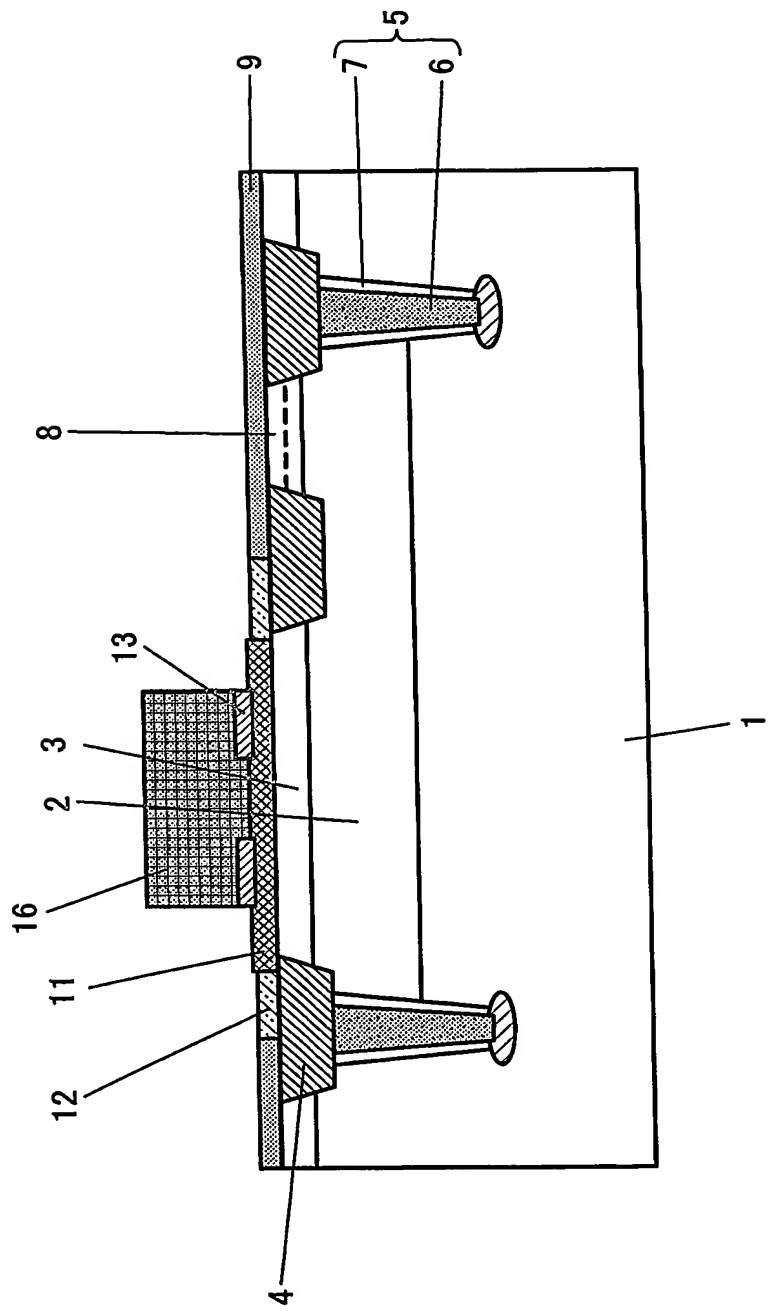


図 20

21  
29

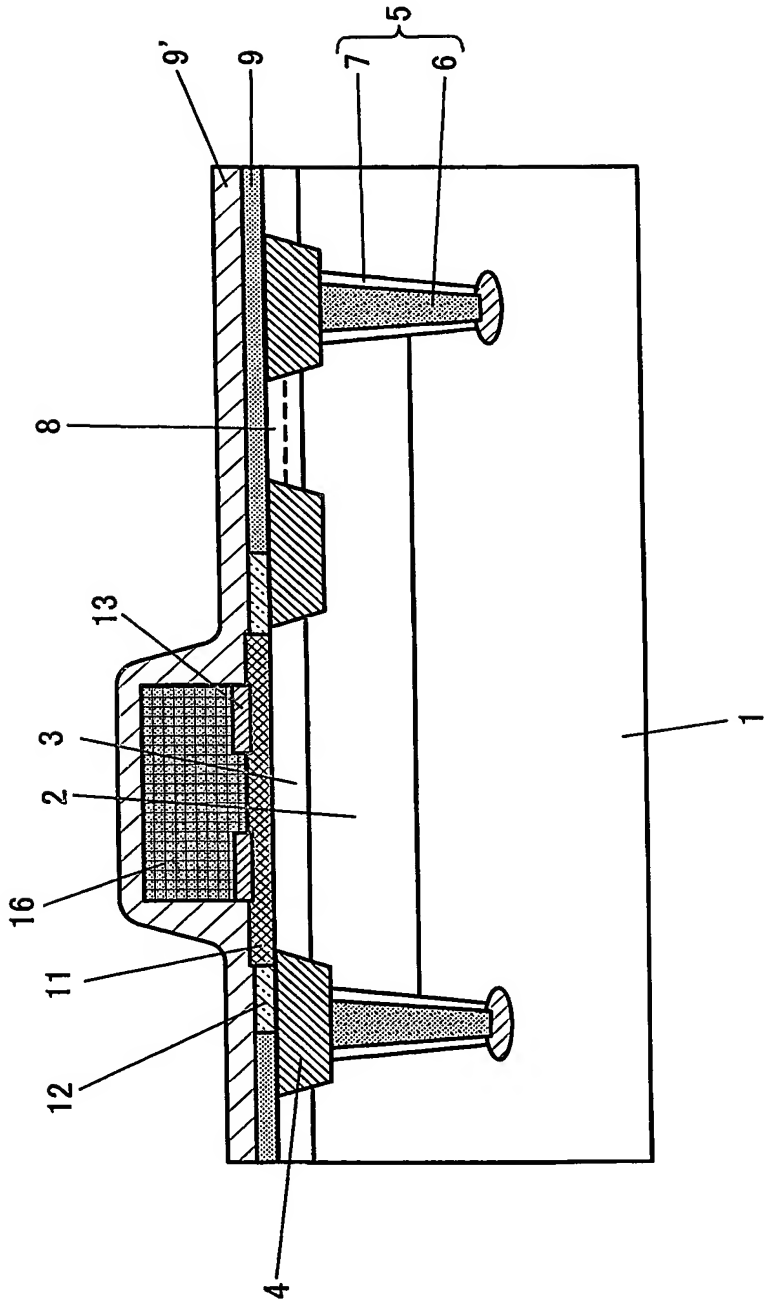


図 21

22/29

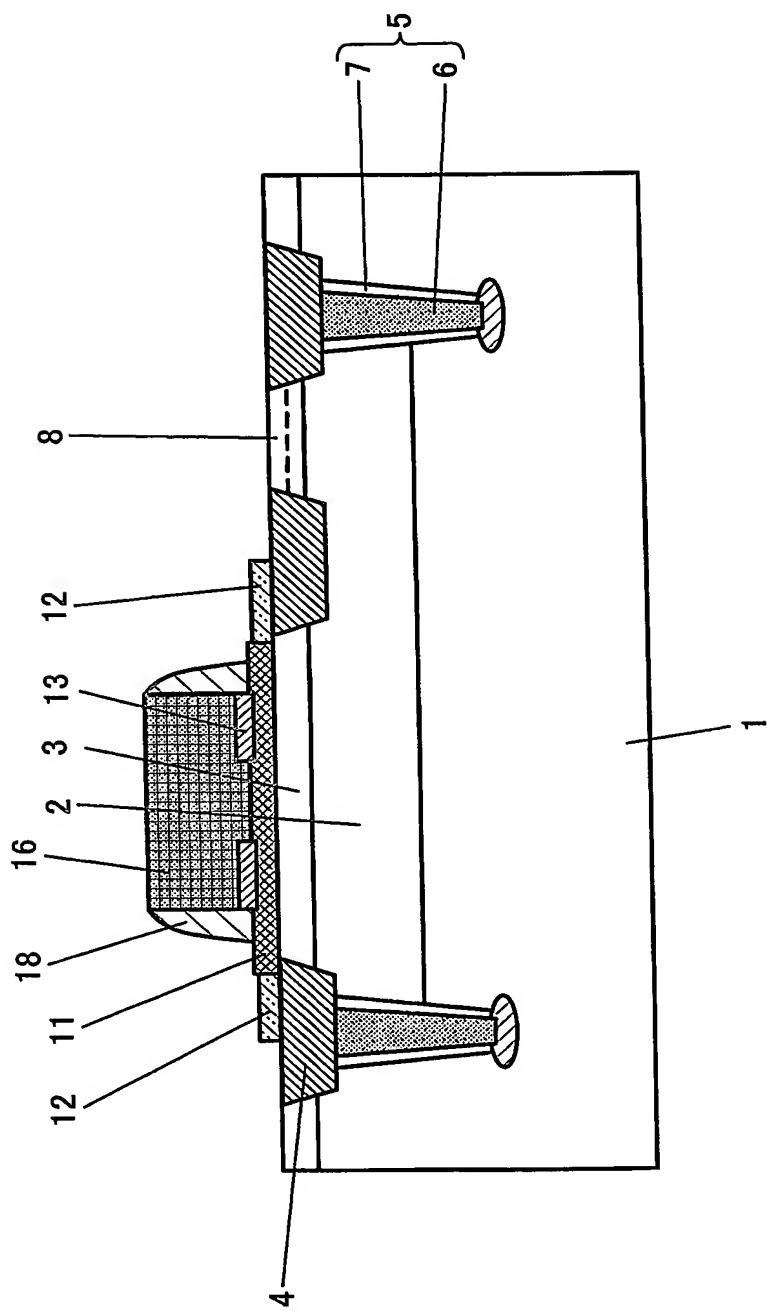


図 22

23 / 29

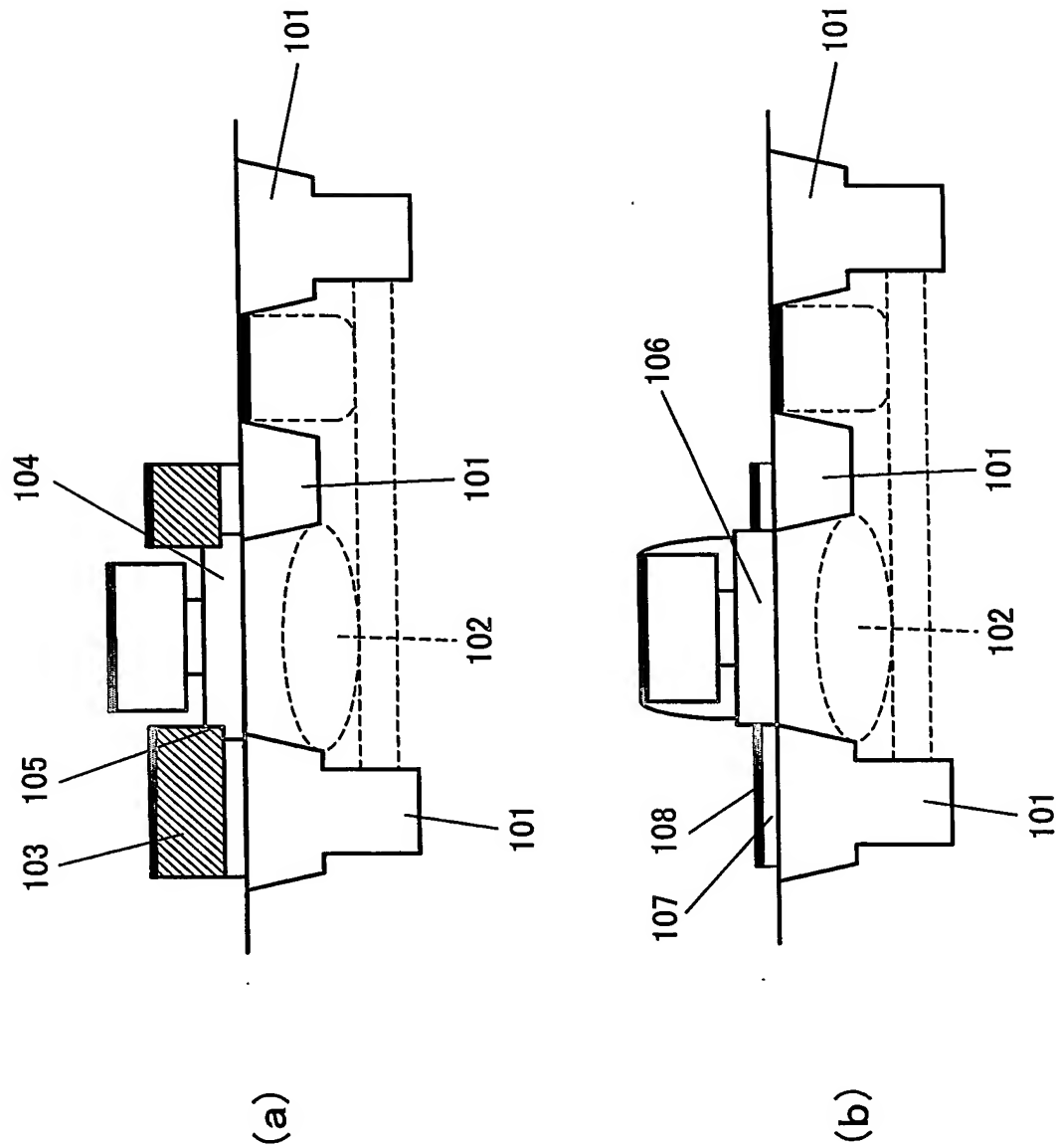


図 23

24  
29

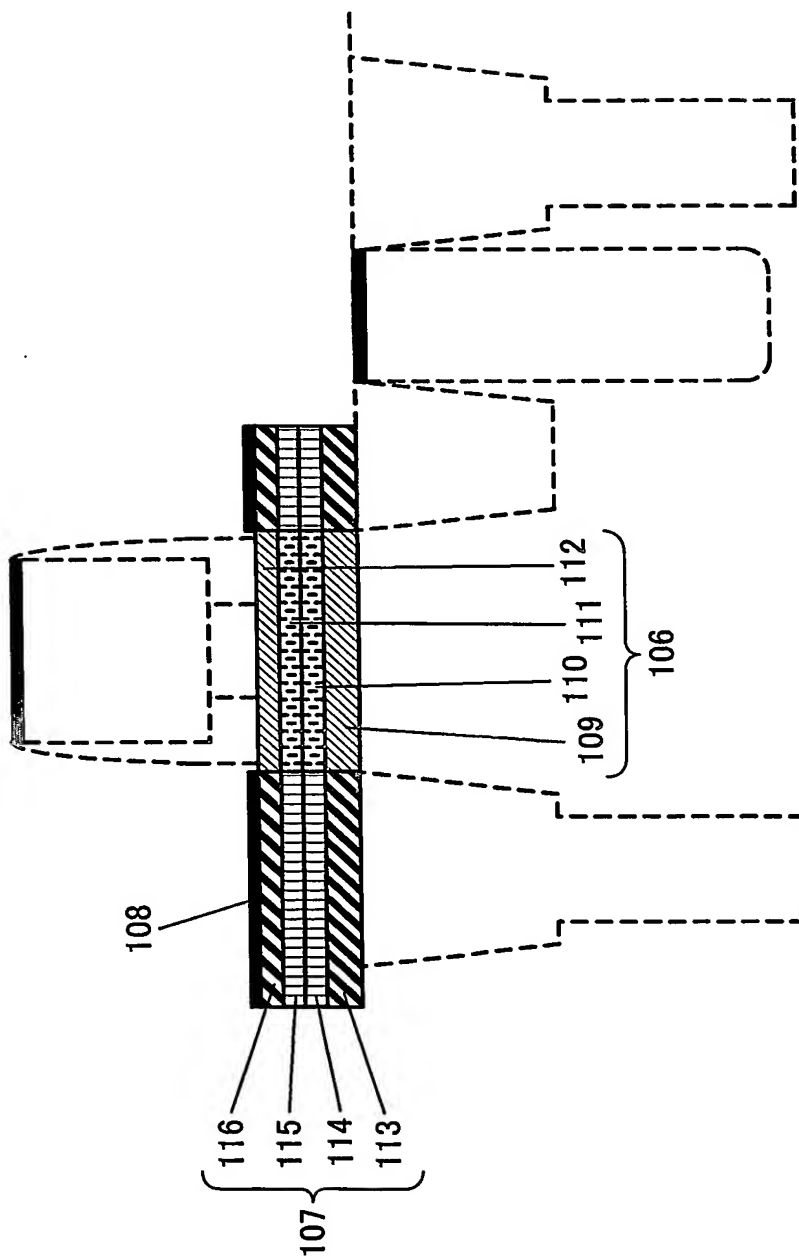


図 24

25  
29

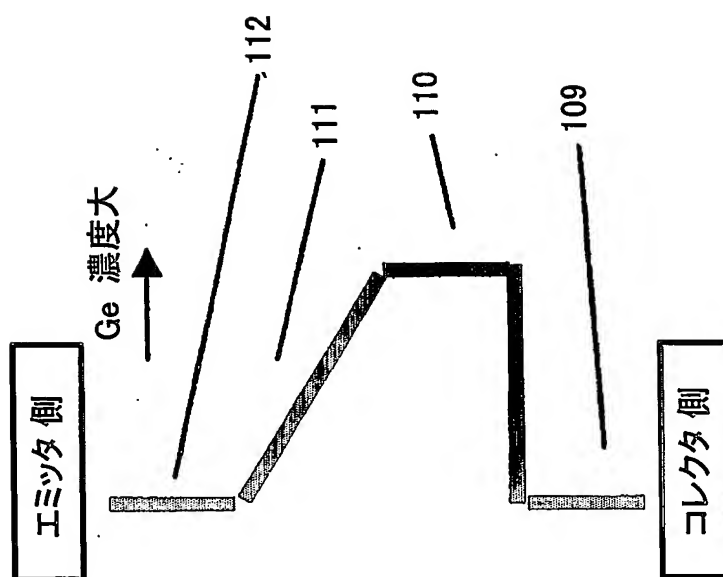


図 25

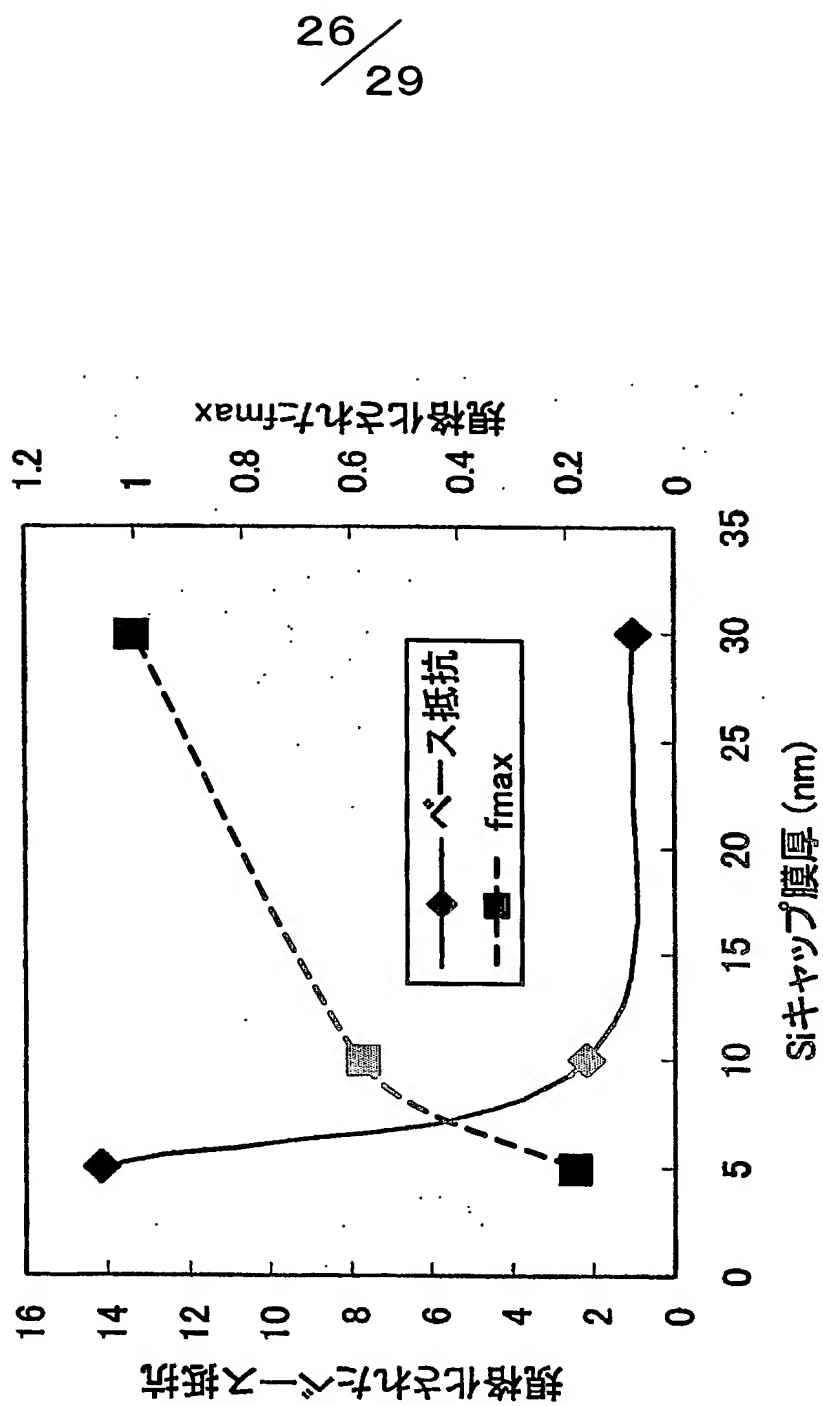


図26

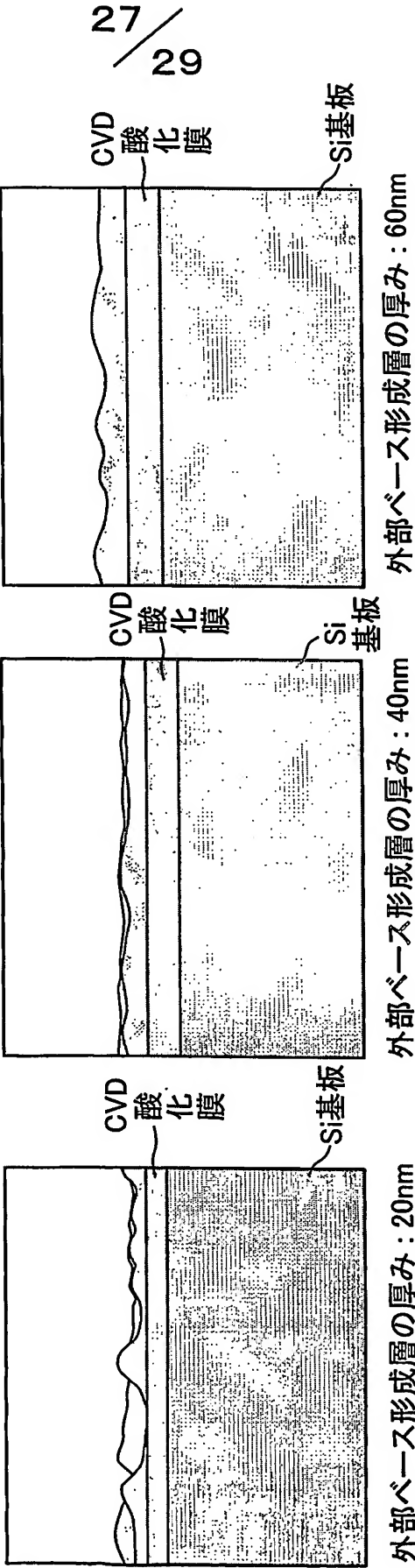


図27



28 / 29

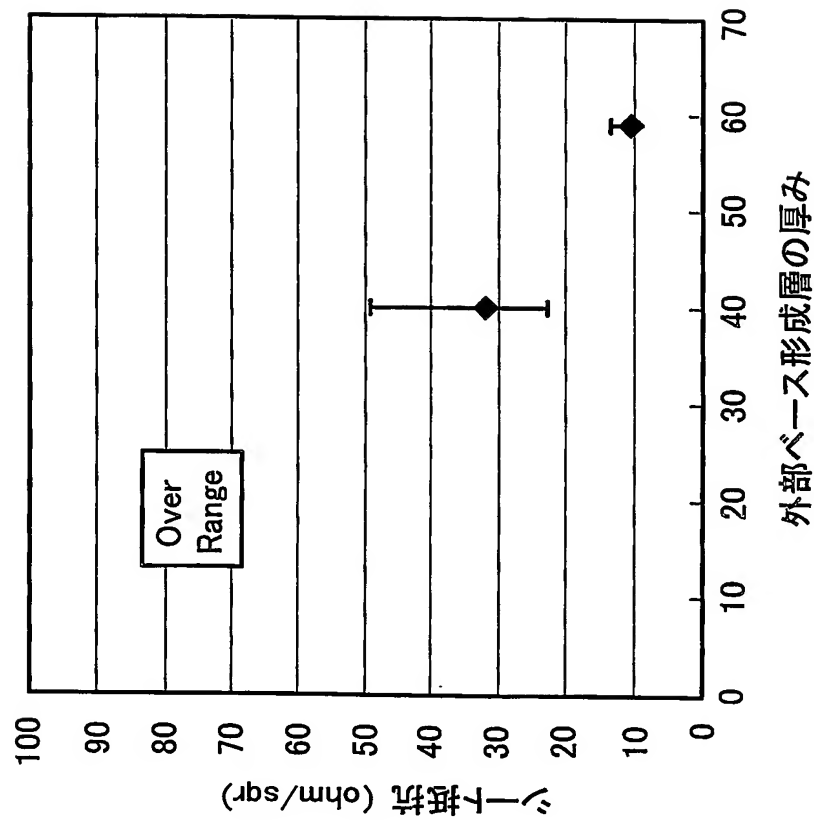


図 28

## 29 / 29

## 参照符号一覧表

1	S i 基板
2	サブコレクタ領域
3	S i 単結晶層
4	シャロートレンチ
5	ディープトレンチ
6	ノンドープポリシリコン層
7、9、9'、13	シリコン酸化膜
8	コレクタ引き出し層
10、14	ポリシリコン膜
11	真性ベース領域
11'	エピタキシャルS i G e 層
12	外部ベース領域
12'	ポリS i G e 層
15	ポリシリコン層
16	エミッタ電極
18	サイドウォール
19	C o シリサイド層
20	層間絶縁膜
21	W プラグ
22	金属配線
109	S i バッファ層
110	ノンドープS i G e スペース層
111	B ドープS i G e 傾斜ベース層
112	S i キャップ層
113	外部ベース形成層
114	第2の層
115	第3の層
116	第4の層
121	開口部
122	コレクタ開口
130	レジスト

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009901

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/737

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/737

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-199511 A (Sony Corp.), 31 July, 1997 (31.07.97), Par. Nos. [0009] to [0059]; Figs. 1 to 14 & US 5861640 A	1-6
A	JP 2001-319935 A (Mitsubishi Materials Silicon Corp.), 16 November, 2001 (16.11.01), Par. Nos. [0010] to [0040]; Figs. 1 to 3 (Family: none)	1-6
A	JP 9-181091 A (Lucent Technologies Inc.), 11 July, 1997 (11.07.97), Par. Nos. [0007] to [0023] & EP 779652 A3 & US 5620907 A	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
05 October, 2004 (05.10.04)

Date of mailing of the international search report  
19 October, 2004 (19.10.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009901

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-31155 A (STMicroelectronics S.A.), 28 January, 2000 (28.01.00), Par. Nos. [0027] to [0055]; Figs. 1 to 11 & EP 962966 A1 & FR 2779572 A1 & US 6177717 B1	1-6
A	JP 2001-244275 A (STMicroelectronics S.A.), 07 September, 2001 (07.09.01), Par. Nos. [0043] to [0065]; Figs. 9 to 12 & EP 1087424 A1 & FR 2799048 A & US 6551891 B1	1-6

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L29/737

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L29/737

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国実用新案登録公報 1996-2004年  
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 9-199511 A (ソニー株式会社) 1997. 07. 31, 段落番号【0009】-【0059】 図1-14 & US 5861640 A	1-6
A	JP 2001-319935 A (三菱マテリアルシリコン株式 会社) 2001. 11. 16, 段落番号【0010】-【004 0】, 図1-3 (ファミリーなし)	1-6
A	JP 9-181091 A (ルーセント テクノロジーズ イン コーポレイテッド) 1997. 07. 11, 段落番号【0007】	1-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

05. 10. 2004

国際調査報告の発送日

19.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4 L

9361

電話番号 03-3581-1101 内線 3498

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	- 【0023】 & EP 779652 A3 & US 5620907 A  JP 2000-31155 A (エスティマイクロエレクトロニクス) 2000. 01. 28, 段落番号【0027】-【0055】, 図1-11 & EP 962966 A1 & FR 2779572 A1 & US 6177717 B1	1-6
A	JP 2001-244275 A (エスティマイクロエレクトロニクス エスエー) 2001. 09. 07, 段落番号【0043】-【0065】, 図9-12 & EP 1087424 A1 & FR 2799048 A & US 6551891 B1	1-6

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**